

Synchronisation et distribution d'horloges dans les circuits complexes (SOC)

Projets ANR HODISS - HERODOTOS

François ANCEAU
Prof. CNAM émérite
Chercheur au Lip6/SOC

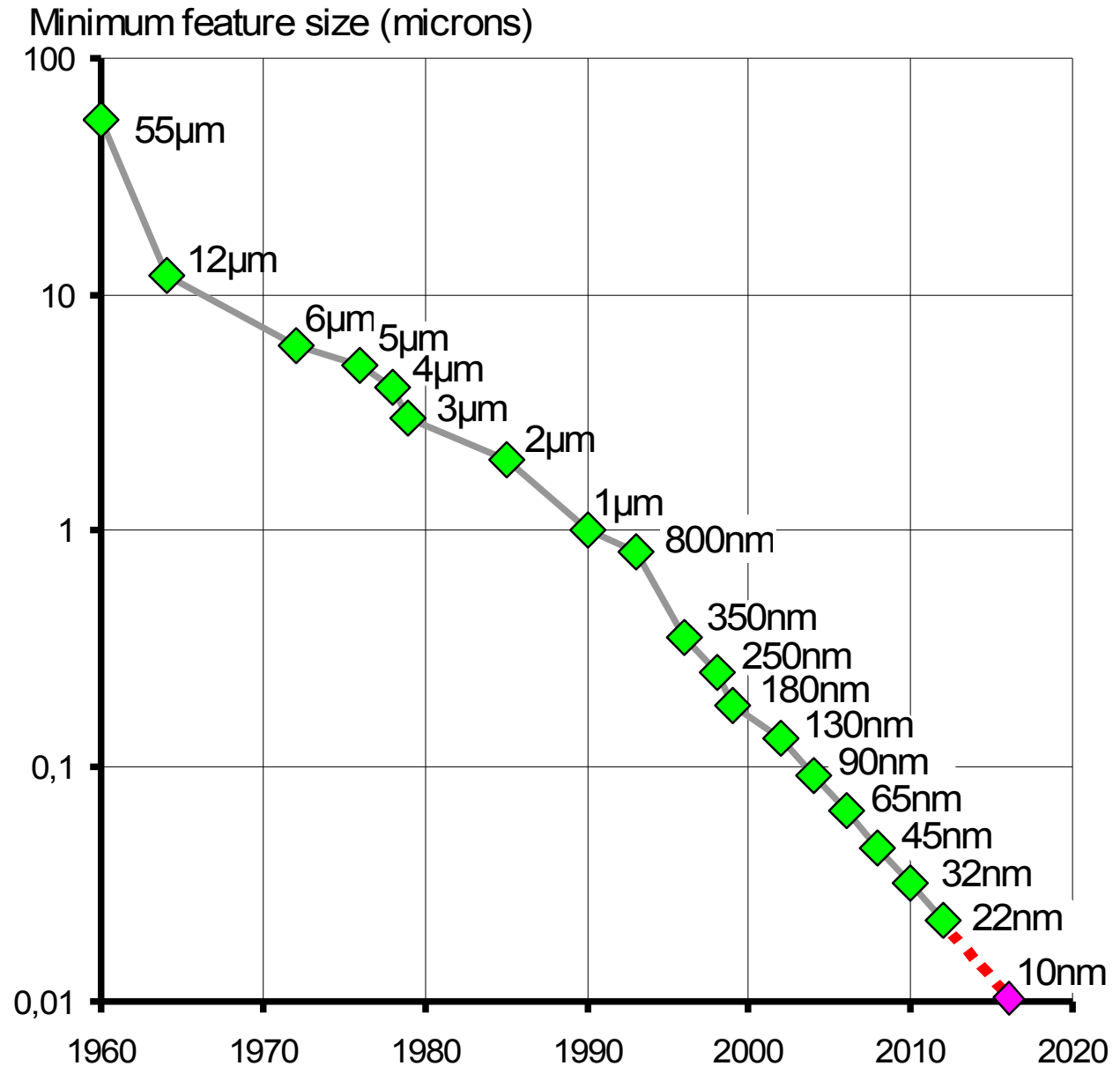
Evolution des Circuits Intégrés

Evolution de la taille des motifs de gravure

Aucun fléchissement constaté !

10 nm \approx 100 atomes !

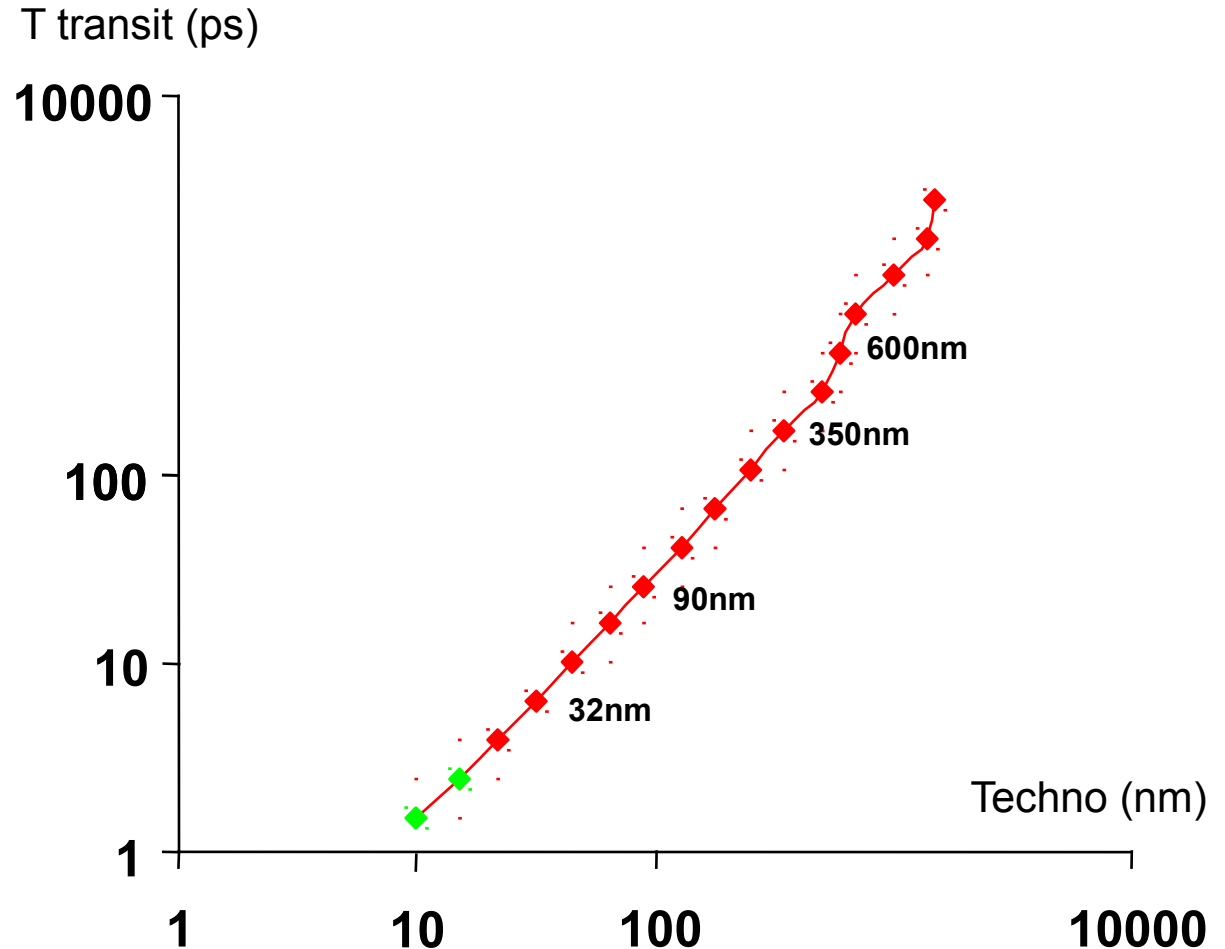
Pendant encore combien de temps ce rythme effréné d'évolution technologique va-t-il durer ?



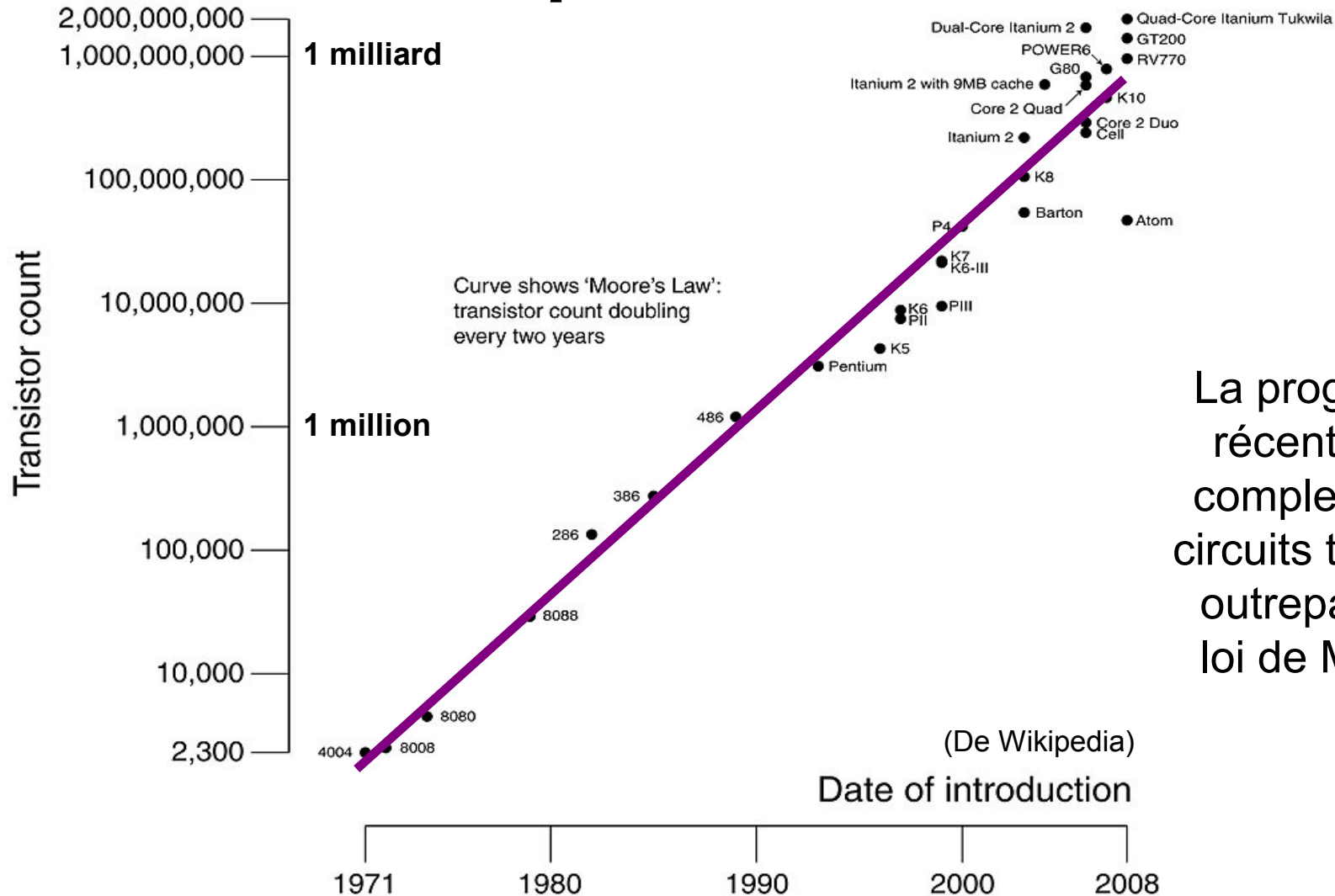
Vitesse des portes CMOS

$$\frac{T_{transit_1}}{T_{transit_2}} \simeq \left(\frac{Tech_2}{Tech_1} \right)^k$$

avec $k = 1,38$ à 1,45



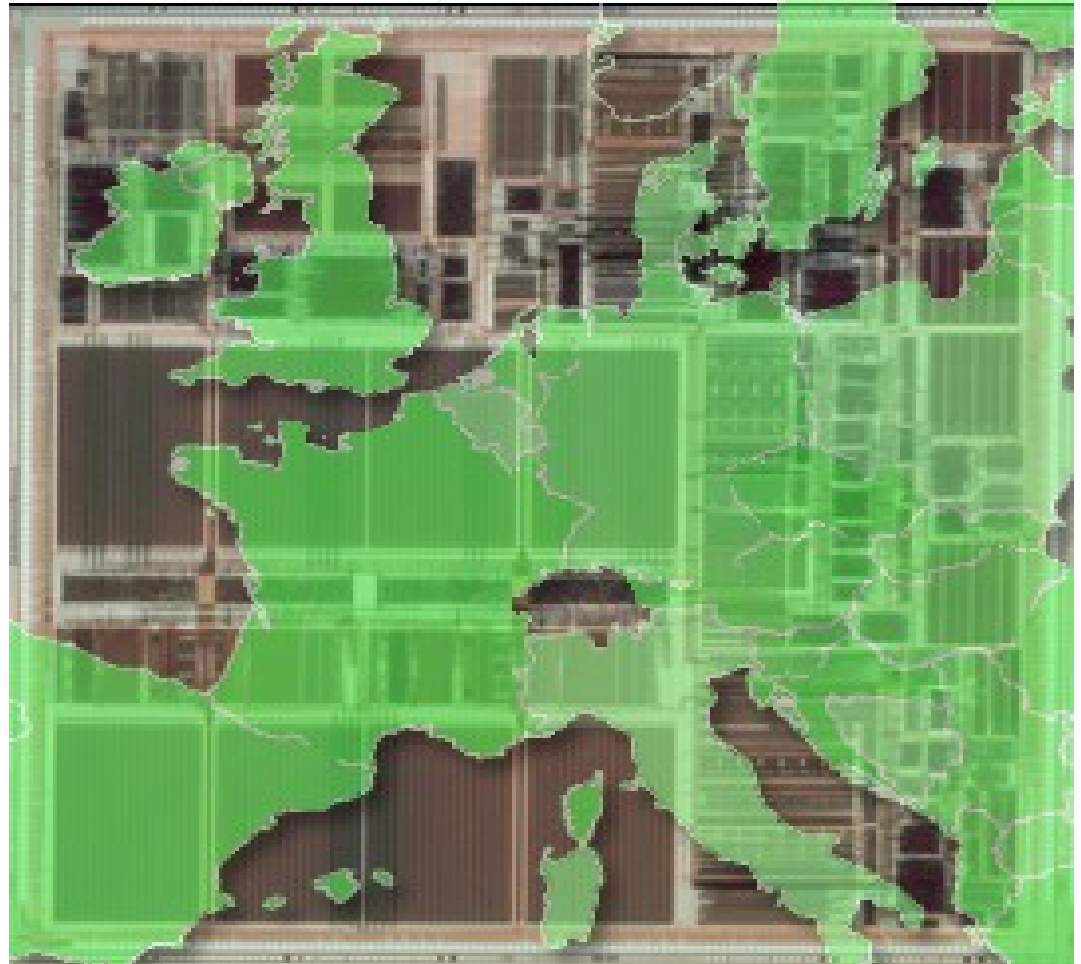
Evolution du nombre de transistors par circuit



La progression récente de la complexité des circuits tendrait à outrepasser la loi de Moore ?

COMPLEXITE DU DESSIN D'UN CIRCUIT INTEGRE

- ❑ Le dessin d'un circuit intégré complexe peut être comparé à:
 - la carte d'un continent carré de **4600Km** de côté avec des détails de 10m (ex. routes)
 - une carte routière de **23m** de côté au 1/200 000
 - une tapisserie de **1200m** de côté avec des nœuds au pas de 2,5mm



Systemes complexes

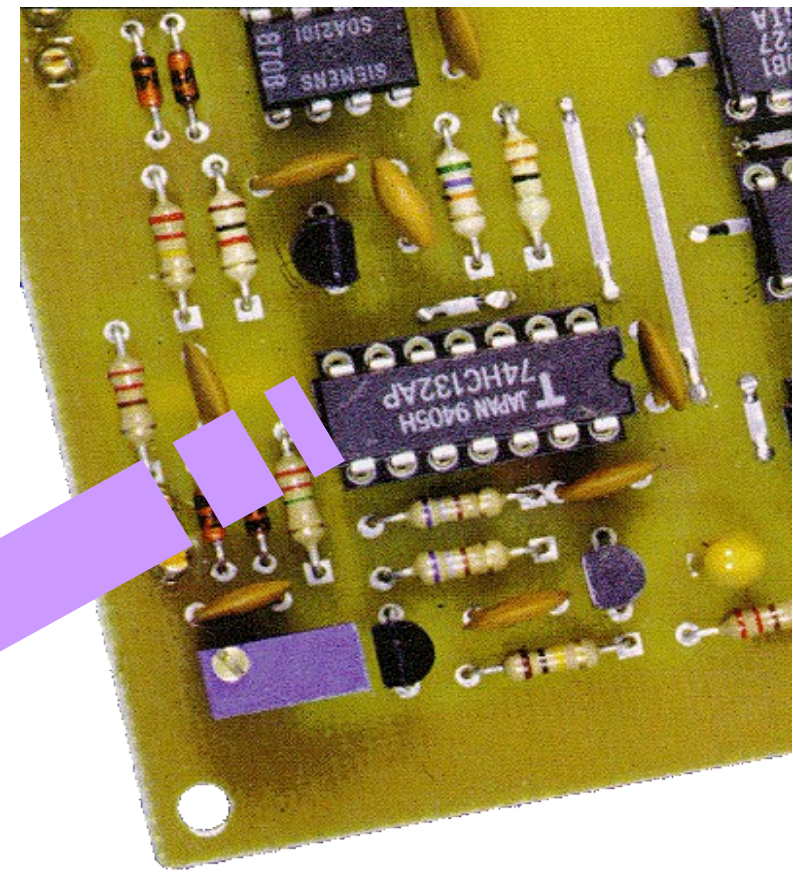
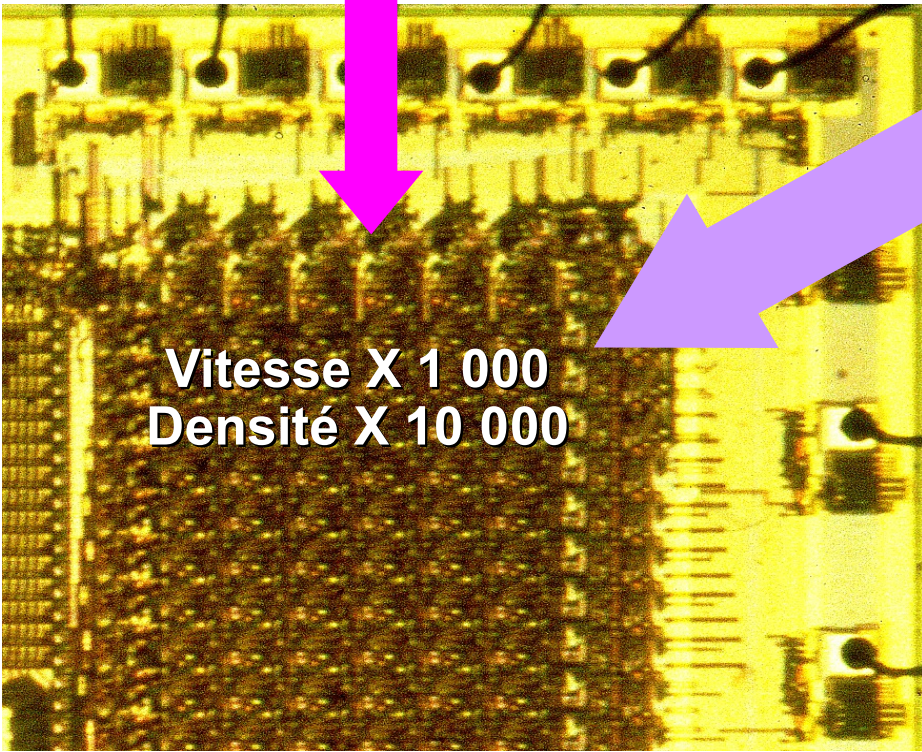
- ❑ Au même titre qu'un continent est structuré en états, un circuit complexe est structuré en **entités fonctionnelles** (processeurs spécialisés ou non, mémoires, entrées-sorties.....) interconnectées.
- ❑ Un tel circuit prend alors le nom de **SOC (System On Circuit)**

Monde interne à un circuit intégré

Coût d'entrée / sortie
très élevé



Vitesse X 1 000
Densité X 10 000

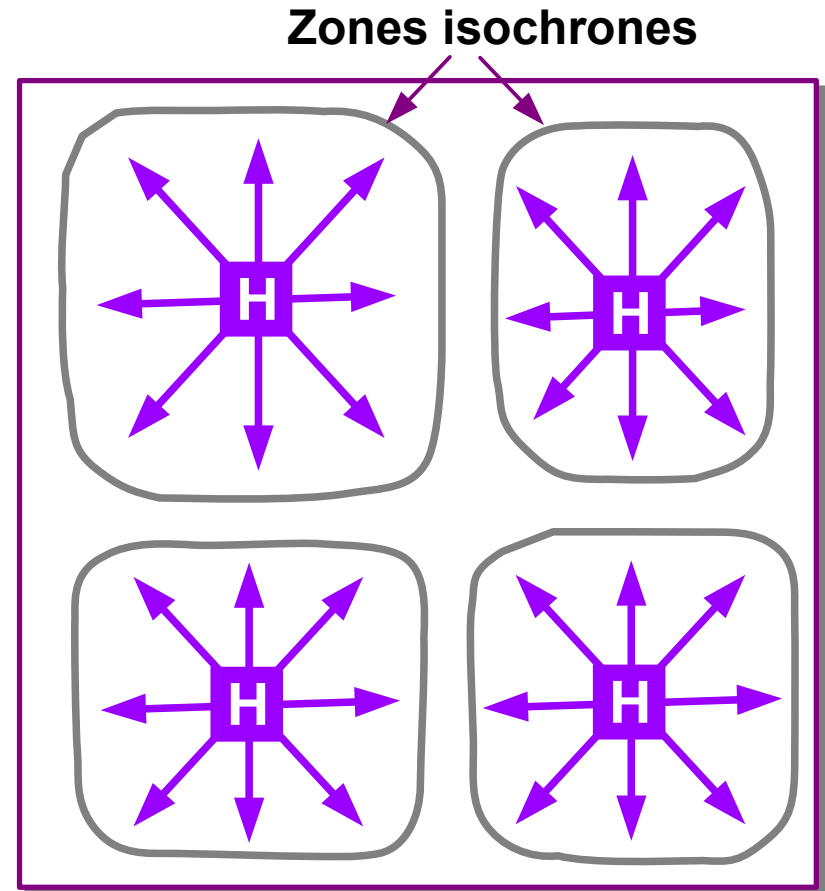


La différence de vitesse et le coût pour entrer ou sortir d'un circuit intégré incite à mettre le maximum de fonctions sur chaque puce ⇒ **circuits géants**

Synchronisation des circuits intégrés complexes

Synchronisation locale

- ❑ Les circuits géants sont réalisés par l'assemblage de modules "classiques" (comme pour les systèmes macroscopiques).
- ❑ Zones **isochrones**
 - ✓ Horloge **centrale** (à chaque zone)
 - ✓ Taille :
 - Zone de synchronisation **acceptable** (erreurs de phase tolérables)
 - Fonction de la **fréquence** de l'horloge
 - ✓ Fonctionnalité



Communication

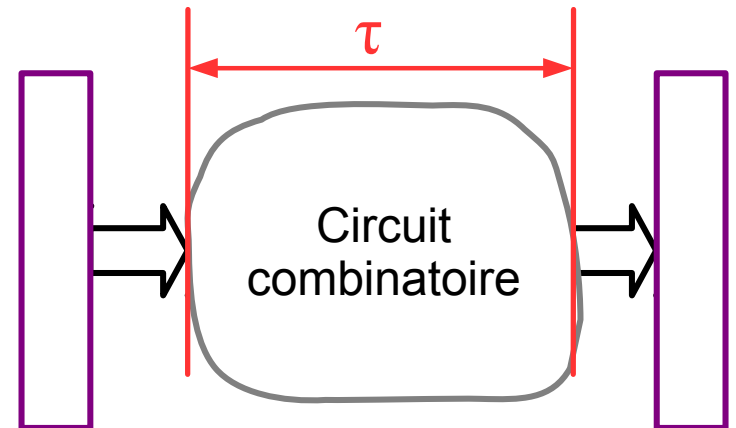
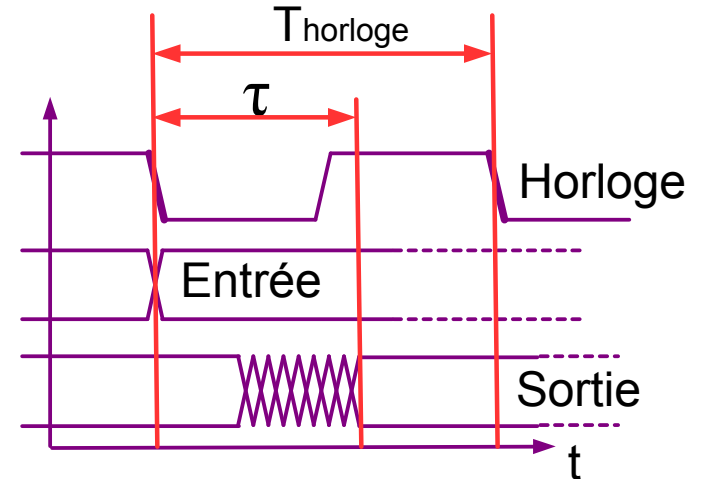
Interne à une zone isochrone

□ Relation de synchronisme

✓ Systèmes synchrones

$$T_{Horloge} \geq \sum_{\text{Chemins-critiques}} \tau_{\text{transit-opérateurs}}$$

(Les circuits combinatoires doivent **avoir le temps** de s'établir pendant la période d'horloge)



COMMUNICATION

Entre zones isochrones

- ❑ **Asynchrone (GALS Globally Asynchronized, Locally Synchronous)**
 - ✓ Risque de **métastabilité** (systèmes mésochrones)
 - ✓ **Lenteur** des communications

- ❑ **Synchrone (GSLs Globally Synchronized, Locally Synchronous)**
 - ✓ Mise en **phase** des zones isochrones
 - ✓ Communication **directe** (entre zones contiguës)
 - ✓ Communication "**élastique**" (entre zones distantes)

Mise en phase des zones isochrones

Distribution équilibrée de l'horloge

- ✓ Difficile à obtenir

 - Ajustement des capacités des lignes de distribution

- ✓ Puissance dissipée élevée

Autres solutions

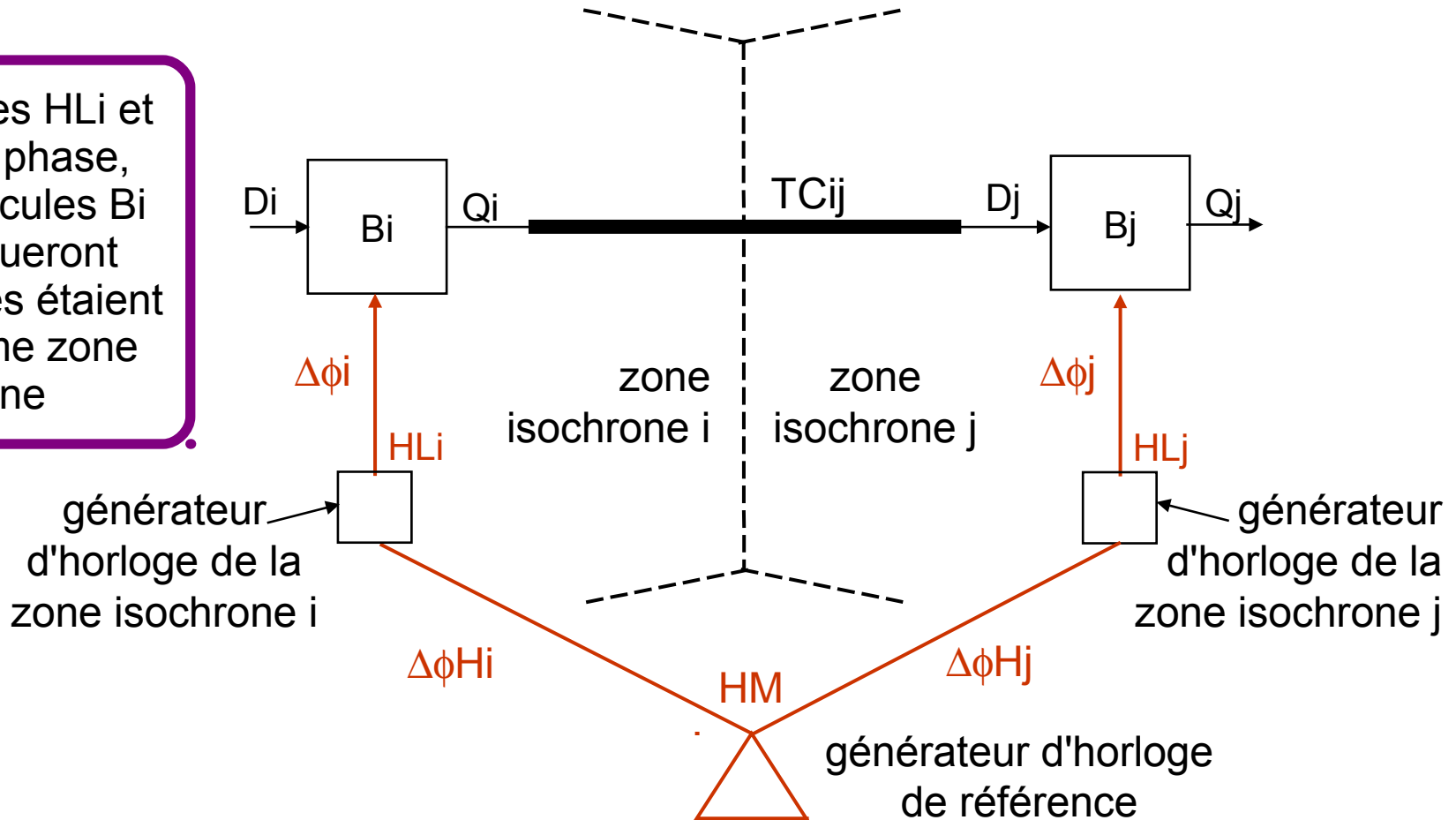
- ✓ Utilisation de **rephaseurs** (retards ajustables)

- ✓ **Génération distribuée** d'horloges synchrones

-

Dialogue entre zones isochrones voisines

Si les horloges HL_i et HL_j sont en phase, alors les bascules B_i et B_j dialogueront comme si elles étaient dans la même zone isochrone



Génération distribuée d'horloges synchrones

PLL

□ PLL (Phase Locked Loop- Asservissement en phase)

- ✓ Détecteur de phase
- ✓ Filtre
- ✓ Oscillateur commandé

} Matériel voisin de celui
pour le rephasage

□ ADPLL (All Digital PLL) PLL entièrement numérique

- Comparateurs de phase numériques (BangBang)
- Filtre numérique
- Oscillateur à commande numérique (DCO)
- ✓ Asservissement à $F/4$

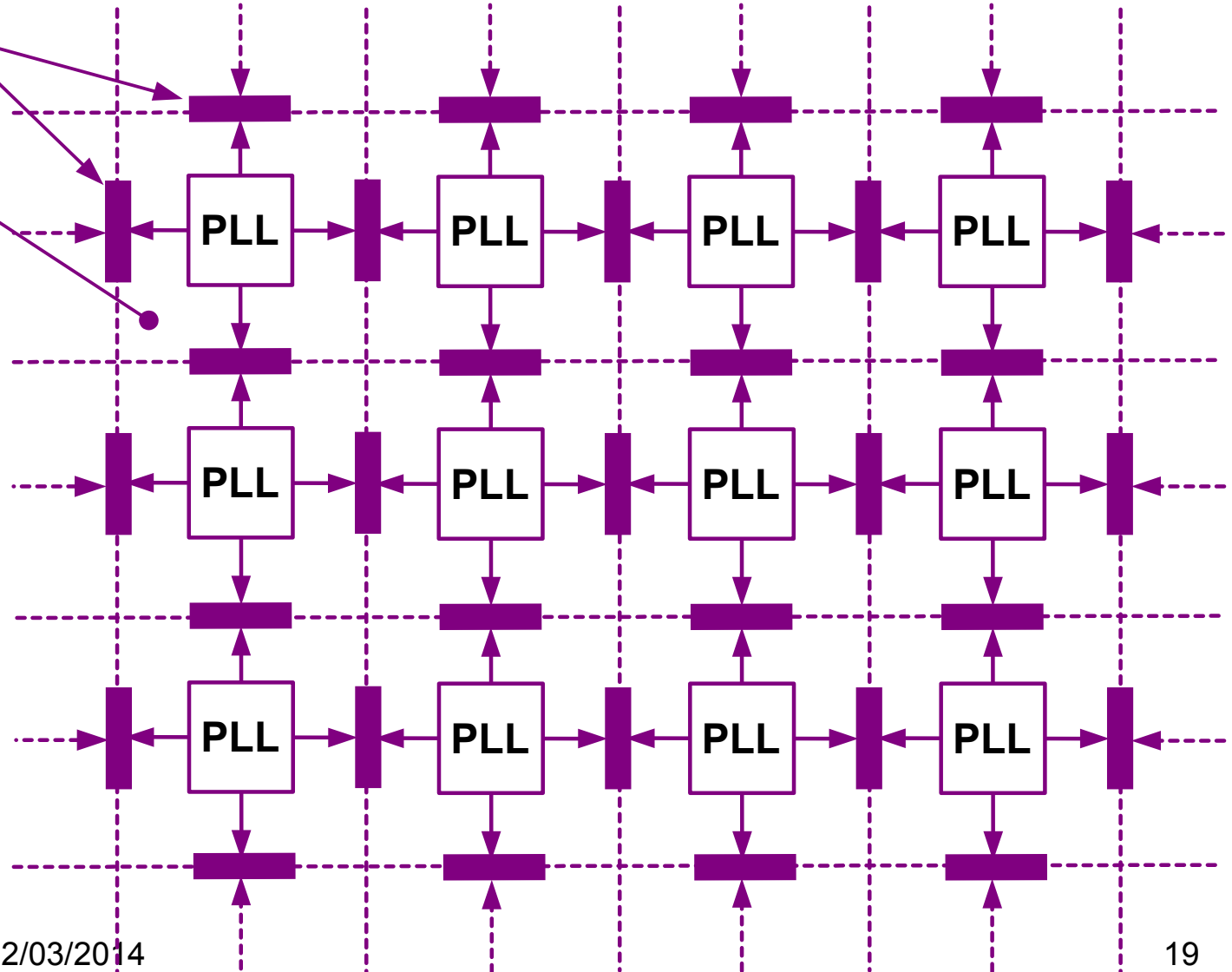
Réseau de PLL

Comparateurs de phase

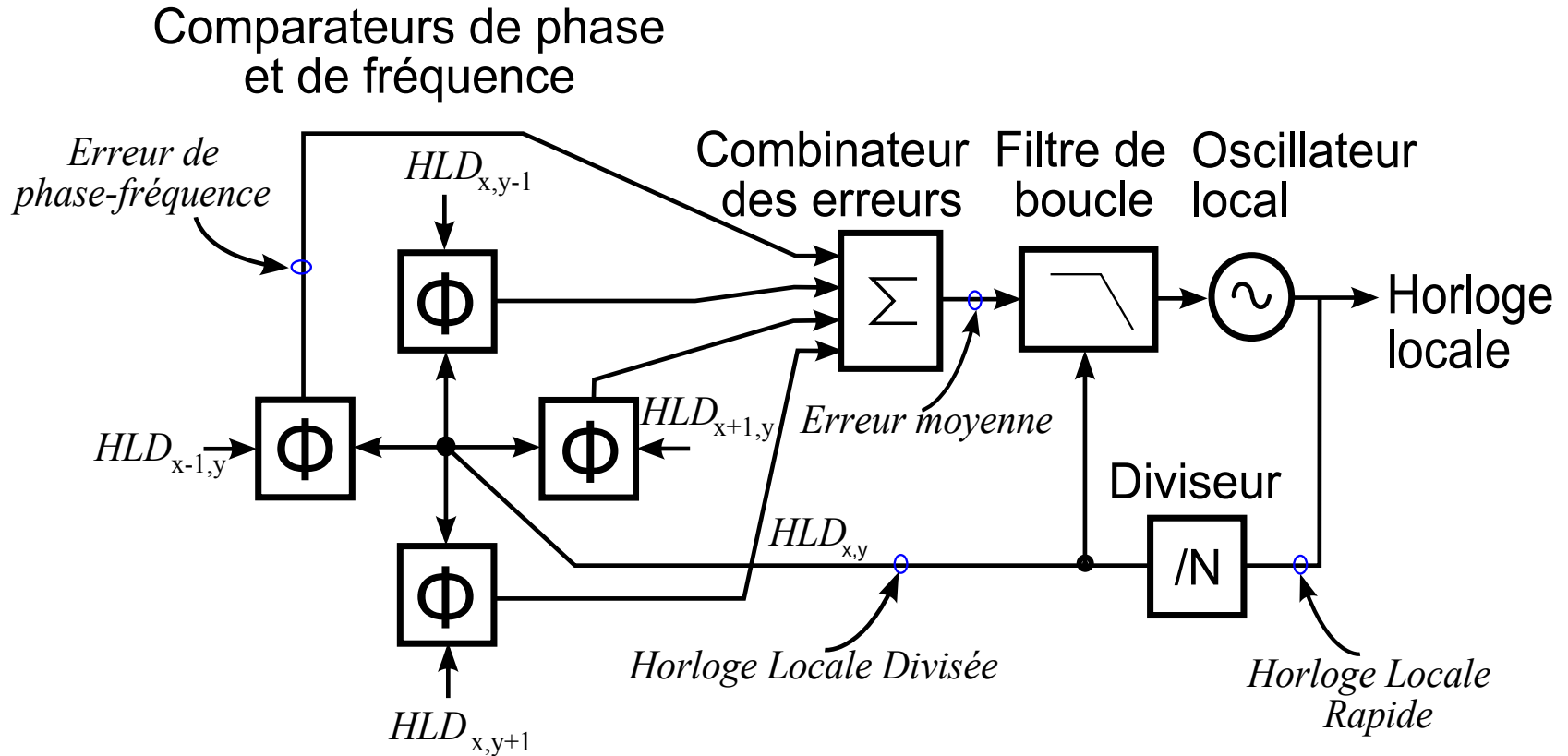
Zones isochrones

L'horloge de référence est injectée en quelques points du réseau

Dans le cas d'un circuit réel, les zones isochrones sont beaucoup moins régulières

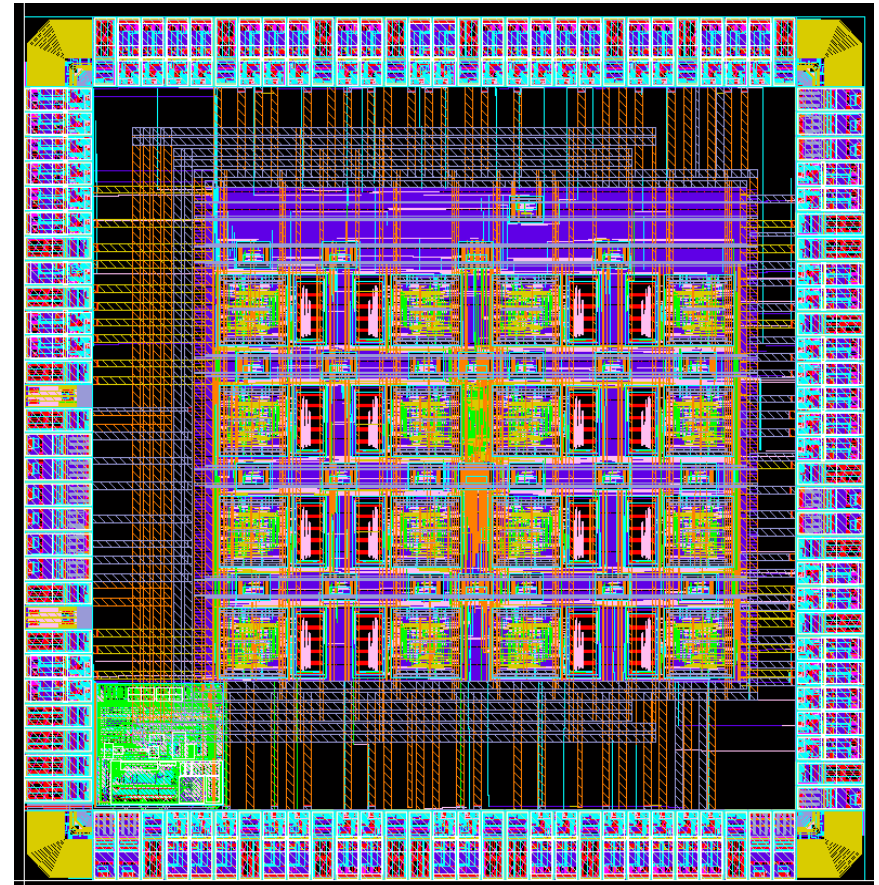
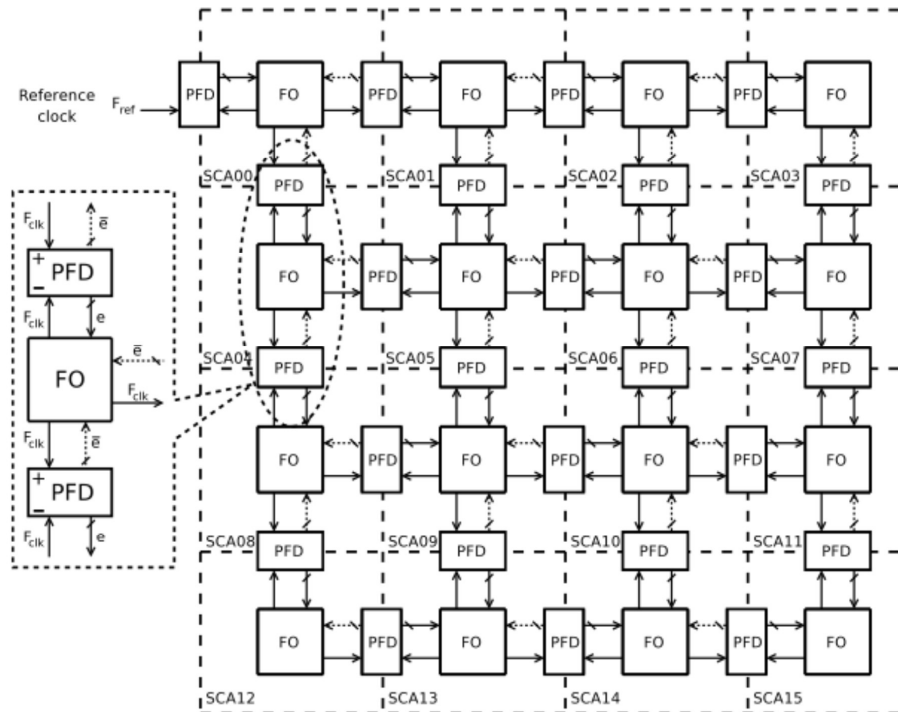


ADPLL

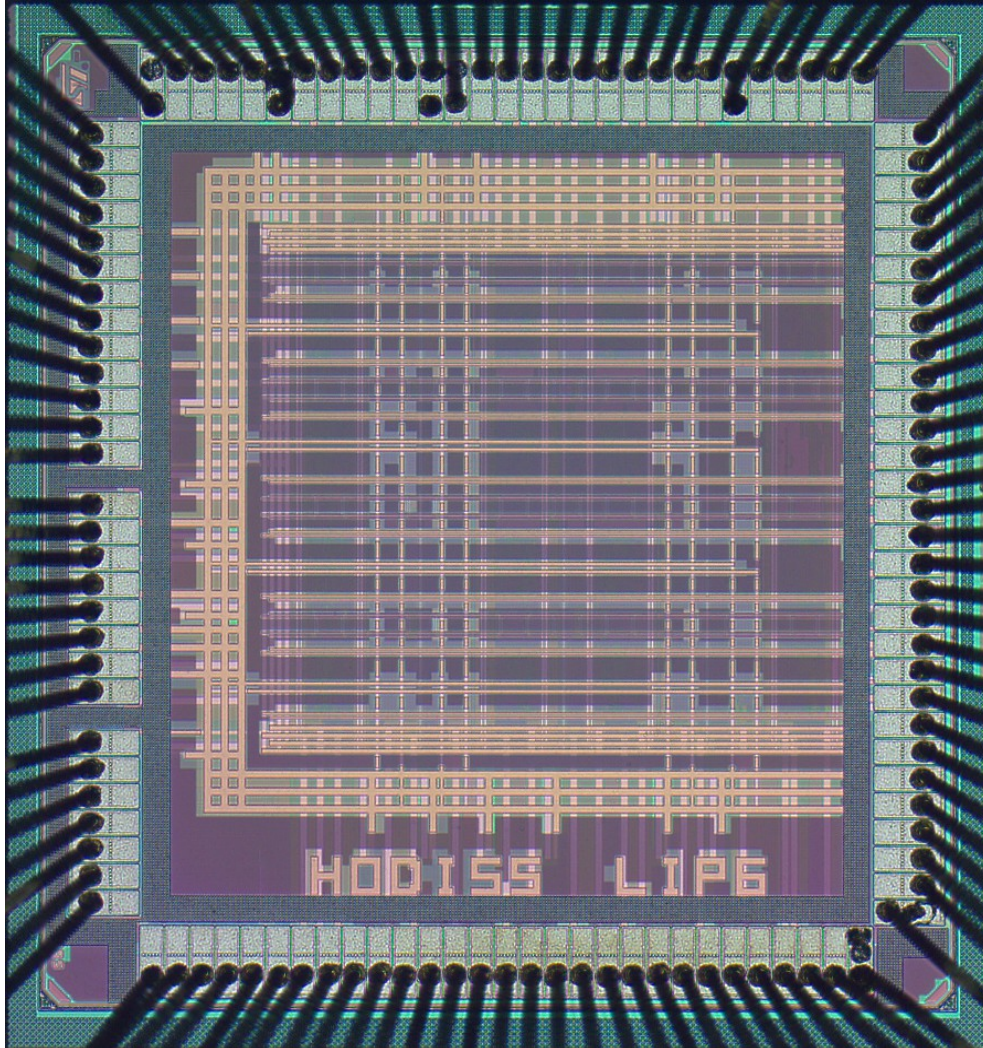


Réalisation CMOS

- Fréquences: 600-1400 MHz
- Résolution DCO: 1MHz
- Résolution comparateur de phase : 30 ps
- Réalisation FPGA préalable
- Réseau 4x4, avec plusieurs options de programmation

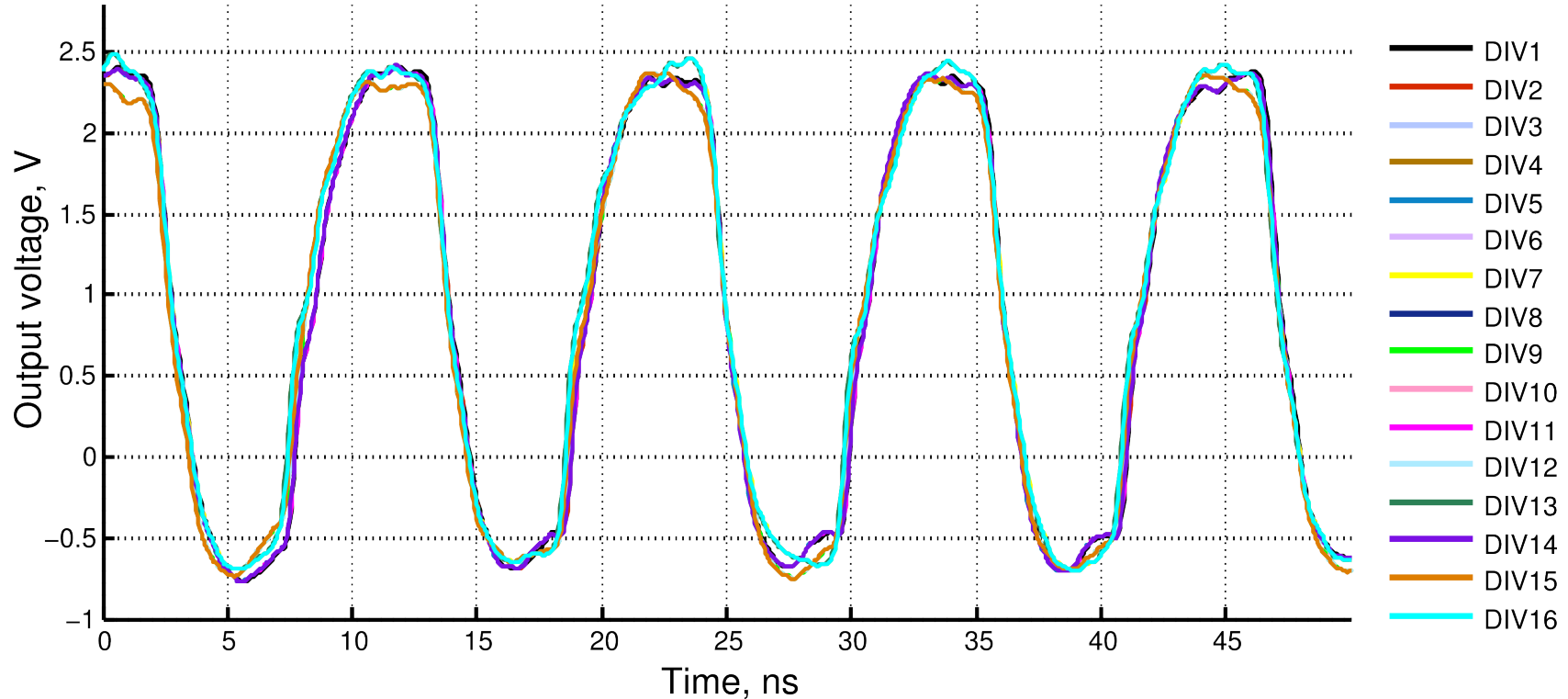


Le circuit réalisé



- ◆ Technologie 65nm ST (via CMP)
- ◆ Dimensions de la puce : 1470x1390 μm
- ◆ Dimension de la zone des horloges : 900x800 μm
- ◆ ~ 290 000 transistors
- ◆ Partiellement Full-Custom
- ◆ Programmable (coefficients du filtre, connectivité)
- ◆ Testé et caractérisé (bon au premier lot)

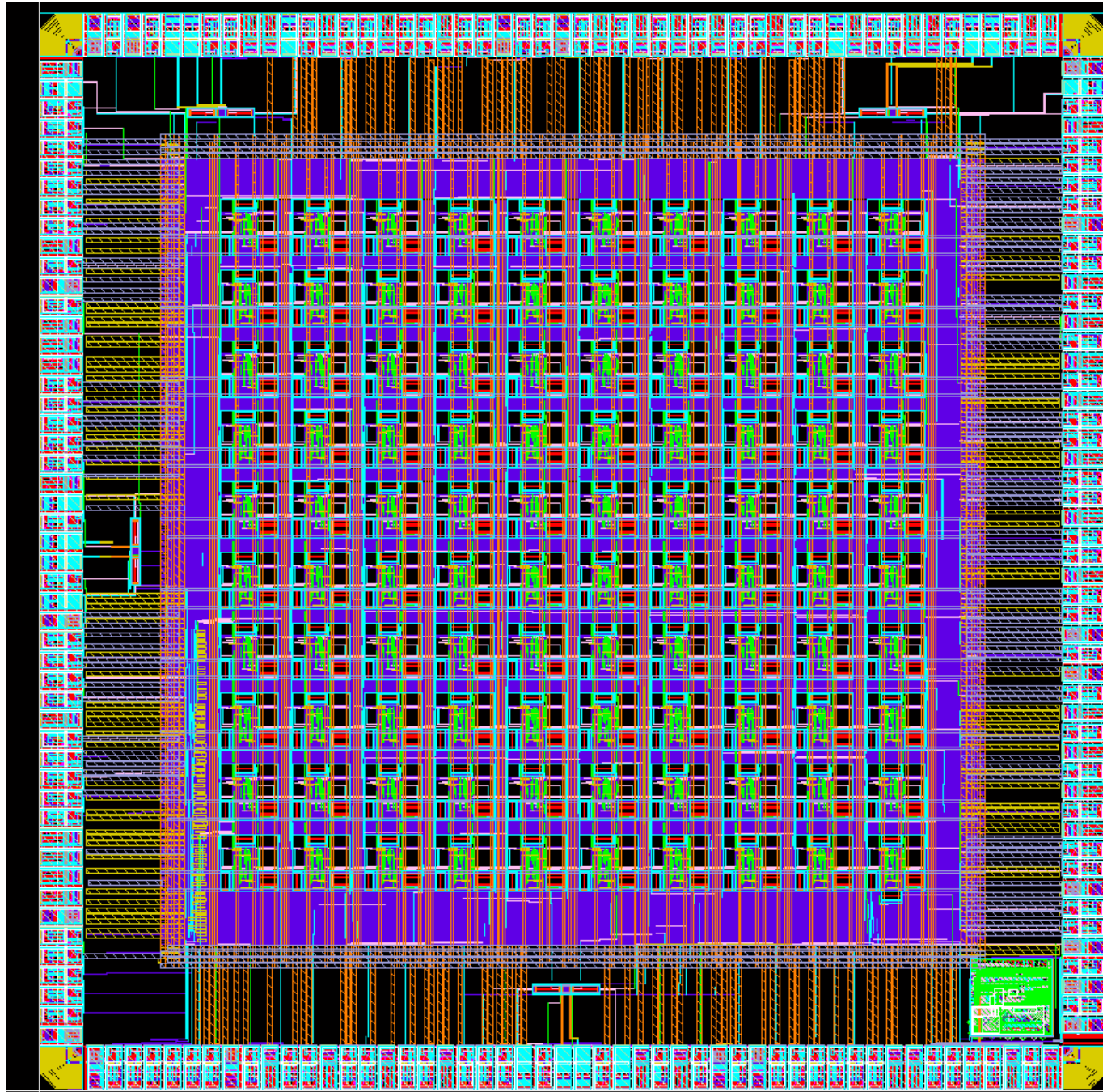
Mesures: erreur de synchronisation



- **Sortie des 16 oscillateurs, 1 GHz**
- **Fréquence de référence (entrée): 180 MHz**
- **Erreur de synchronisation mesurée hors puce:**
 - Entre les voisins: $140 < \text{err} < 220$ ps
 - Entre n'importe quels 2 noeuds : < 300 ps

Circuit 10 x 10

- ◆ Layout
- ◆ Technologie 65nm ST (via CMP)
- ◆ Partiellement Full-Custom
- ◆ Programmable (coefficients du filtre, connectivité)



Projets HODISS-HERODTOS

☐ Projets ANR 2008-2014

✓ HODISS

✓ HERODOTOS

☐ Chef de projet :

✓ Dimitri GALAYKO

☐ Organismes partenaires :

✓ UPMC/Lip6/SOC

– CIAN : Dimitri GALAYKO,
François ANCEAU

– SYEL : Sylvain FERUGLIO

✓ Supélec

✓ ECL-CEA / LETI Grenoble

Fonction d'asservissement d'un ADPLL

□ Fonctions de transfert :

✓ Comparateur de phase

$$H_{PFD} = \frac{1}{\delta_{PFD} \cdot 2\pi fS}$$

✓ Filtre numérique

$$H_{Filtre} = \left(K_p + \frac{K_i}{S} \right)$$

✓ DCO

$$H_{DCO} = \frac{K_{DCO}}{S}$$

✓ Retards des éléments

$$H_{Ret} = e^{-S \sum T_{Ret}}$$

✓ Boucle d'asservissement

$$H = \frac{H_{PFD} \cdot H_{Filtre} \cdot H_{DCO} \cdot H_{Ret}}{1 + H_{PFD} \cdot H_{Filtre} \cdot H_{DCO} \cdot H_{Ret}}$$

Fonction d'asservissement d'un ADPLL

□ **Comparateurs de phase :**

$$\Delta \varphi_{x,y} = \frac{(\varphi_{x+1,y} - \varphi_{x,y}) + (\varphi_{x-1,y} - \varphi_{x,y}) + (\varphi_{x,y+1} - \varphi_{x,y}) + (\varphi_{x,y-1} - \varphi_{x,y})}{4}$$

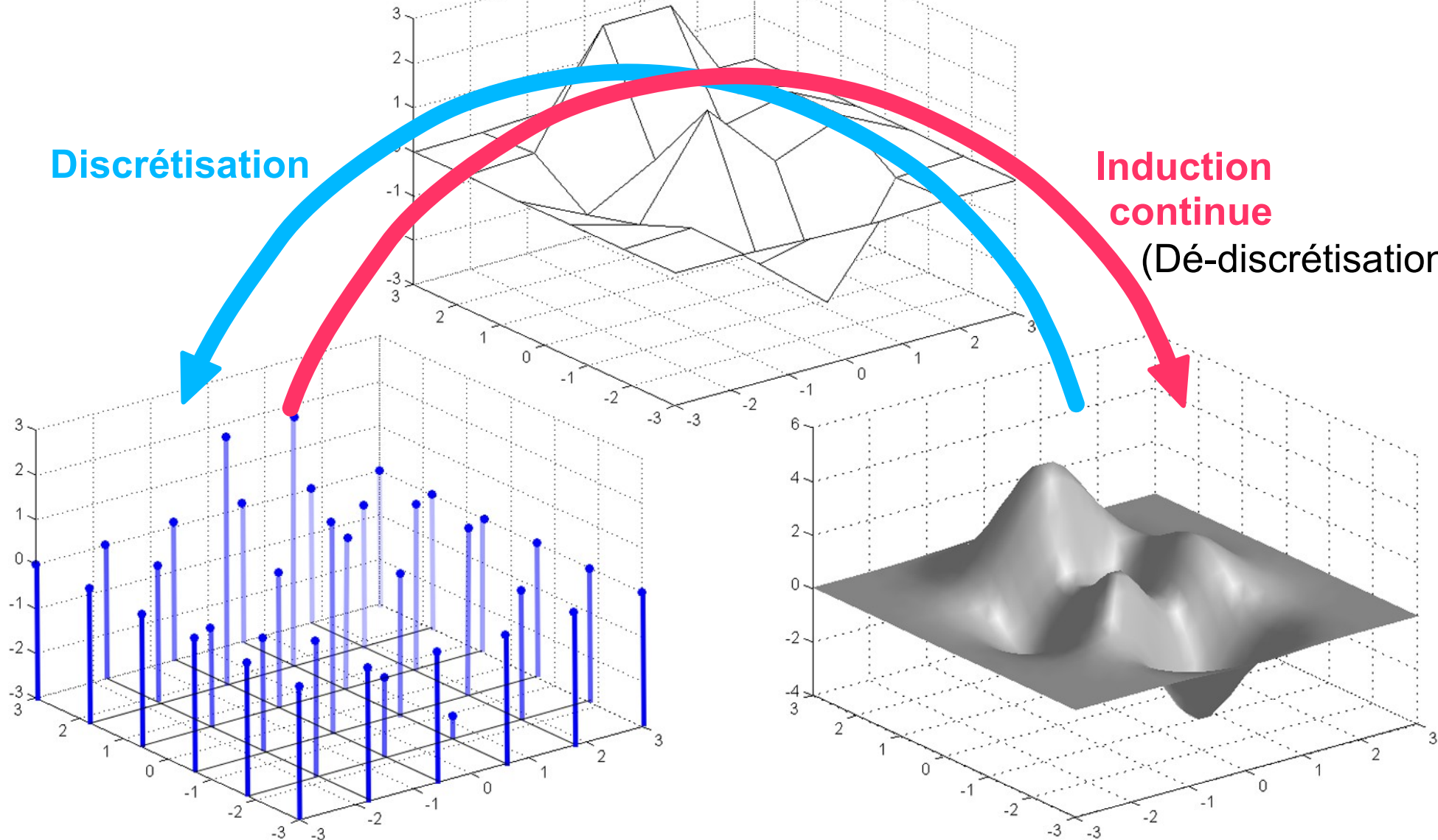
□ **Signal de sortie :**

$$\varphi_{x,y} = \frac{(\varphi_{x+1,y} - \varphi_{x,y}) + (\varphi_{x-1,y} - \varphi_{x,y}) + (\varphi_{x,y+1} - \varphi_{x,y}) + (\varphi_{x,y-1} - \varphi_{x,y})}{4} \cdot H$$

Induction continue

Discrétisation

Induction continue
(Dé-discrétisation)



Analogie avec le continu

- L'expression décrivant le comportement du comparateur de phase peut être vue comme la discrétisation d'un Laplacien

$$(\varphi_{x+1,y} - \varphi_{x,y}) + (\varphi_{x-1,y} - \varphi_{x,y}) + (\varphi_{x,y+1} - \varphi_{x,y}) + (\varphi_{x,y-1} - \varphi_{x,y})$$

se réécrit :

$$\left((\varphi_{x+1,y} - \varphi_{x,y}) - (\varphi_{x,y} - \varphi_{x-1,y}) \right) + \left((\varphi_{x,y+1} - \varphi_{x,y}) - (\varphi_{x,y} - \varphi_{x,y-1}) \right)$$

$$\underbrace{\left(\frac{\partial \Phi}{\partial x} - \frac{\partial \Phi}{\partial x} \right)}_{\frac{\partial^2 \Phi}{\partial x^2}}$$

ϕ comportement du PLL
 Φ fonction de surface

$$\underbrace{\left(\frac{\partial^2 \Phi}{\partial x^2} + \frac{\partial^2 \Phi}{\partial y^2} \right)}_{\frac{\partial^2 \Phi}{\partial x^2} + \frac{\partial^2 \Phi}{\partial y^2} = \Delta \Phi_{x,y}}$$

$$\frac{\partial^2 \Phi}{\partial x^2} + \frac{\partial^2 \Phi}{\partial y^2} = \Delta \Phi_{x,y}$$

Analogie avec le continu

- La fonction décrivant le comportement d'un ADPLL peut être vue comme la **discrétisation** d'une fonction de surface

$$\Phi_{x,y} = \left(\frac{\Delta \Phi_{x,y}}{4} + \Phi_{x,y} \right) \cdot \frac{H_{PFD} \cdot H_{Filtre} \cdot H_{DCO} \cdot H_{Ret}}{1 + H_{PFD} \cdot H_{Filtre} \cdot H_{DCO} \cdot H_{Ret}}$$

Après transformation inverse et réarrangement :

$$\frac{\partial^2 \Phi}{\partial t^2} = \frac{MK_p}{4} \cdot \frac{\partial \Phi(t-\tau)}{\partial t} + \frac{MK_i}{4} \cdot \Phi(t-\tau)$$

avec :

$$M = K_{PFD} \cdot K_{DCO}$$

Et après simplification :

$$\frac{\partial^2 \Phi}{\partial t^2} + \frac{M(K_p - K_{i\tau})}{1 - MK_p \tau} \cdot \frac{\partial \Phi}{\partial t} - \frac{MK_i}{4(1 - MK_p \tau)} \cdot \Delta \Phi = 0$$

Analogie physique

- La surface d'un liquide peut être décrite par l'équation approchée suivante :

$$\frac{\partial^2 h}{\partial t^2} + k \frac{\partial h}{\partial t} - c^2 \Delta h = 0$$

Nikishkov, Gennadiy and Nishidate, Yohei, *Water Surface Animation using Damped Wave Equation and CUDA Acceleration, Integration*, Vol 1, p1-7

Celle-ci présente la même forme que l'analogie continu de notre réseau d'ADPLL
D'où l'analogie :

$$h \Leftrightarrow \Phi - \Phi_{Href}$$

$$k \Leftrightarrow \frac{M (K_p - K_{i\tau})}{1 - MK_p \tau}$$

$$c \Leftrightarrow \sqrt{\frac{MK_i}{4(1 - MK_p \tau)}}$$

Analogie hydraulique

Les paramètres du filtre des ADPLL peuvent être ajustés de manière à comparer le réseau de PLL avec une **pièce d'eau**.

La taille de la pièce d'eau peut être **très grande** par rapport à la maille de discrétisation

Sans aucune perturbation, la surface d'une pièce d'eau est **parfaitement plate**
⇒ Les PLL sont donc **parfaitement en phase** au bout d'un temps d'établissement

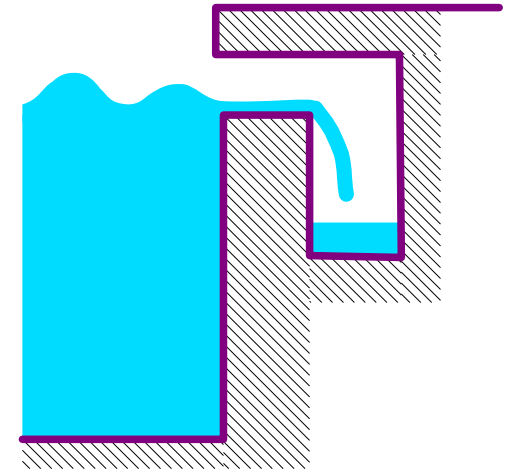




Élimination des réflexion des perturbations sur les bords

Sur une surface liquide,
les perturbations se propagent sous forme de
vagues qui se réfléchissent sur les bords

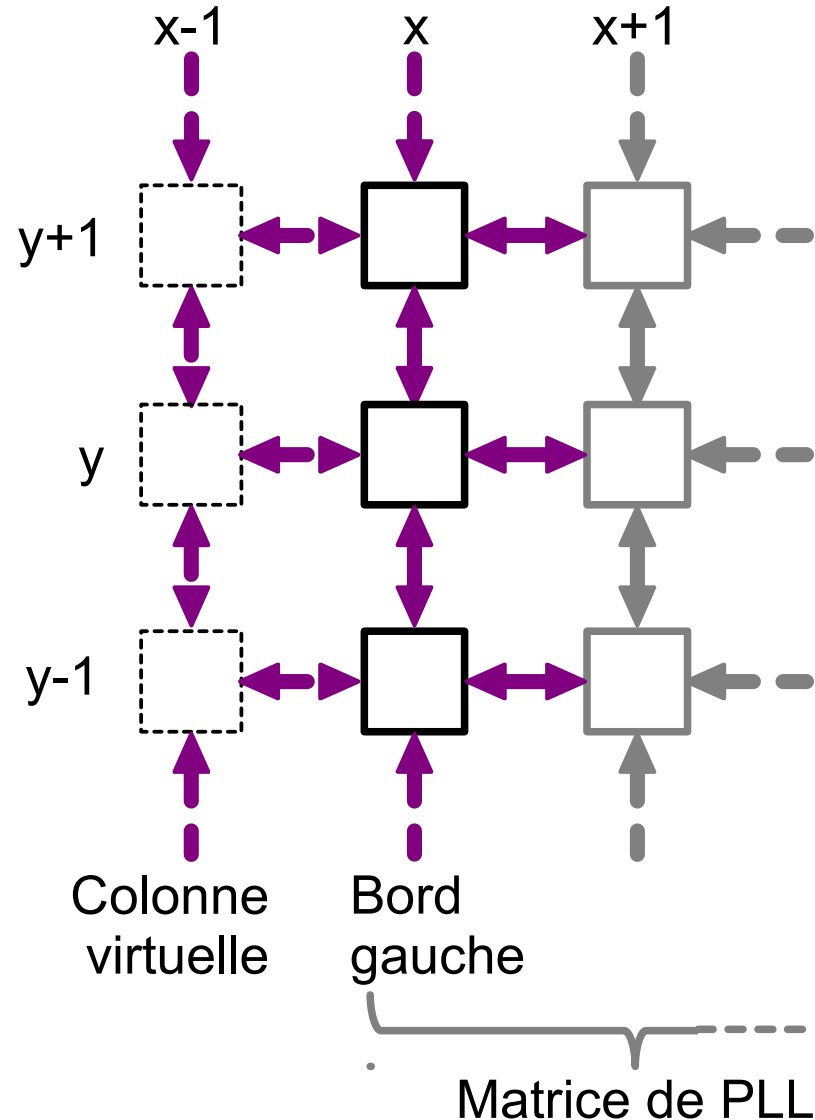
Brise-vagues de piscine



Les brise-vagues amortissent
les vagues incidentes et
bloquent les réflexions

Simulation d'une surface infinie

- ❑ Pour éviter une réflexion des ondes d'erreur de phase sur le bord de la surface Φ des PLL, nous supposerons celle-ci infinie
- ❑ Pour cela, considérons une **colonne virtuelle** supplémentaire de PLL



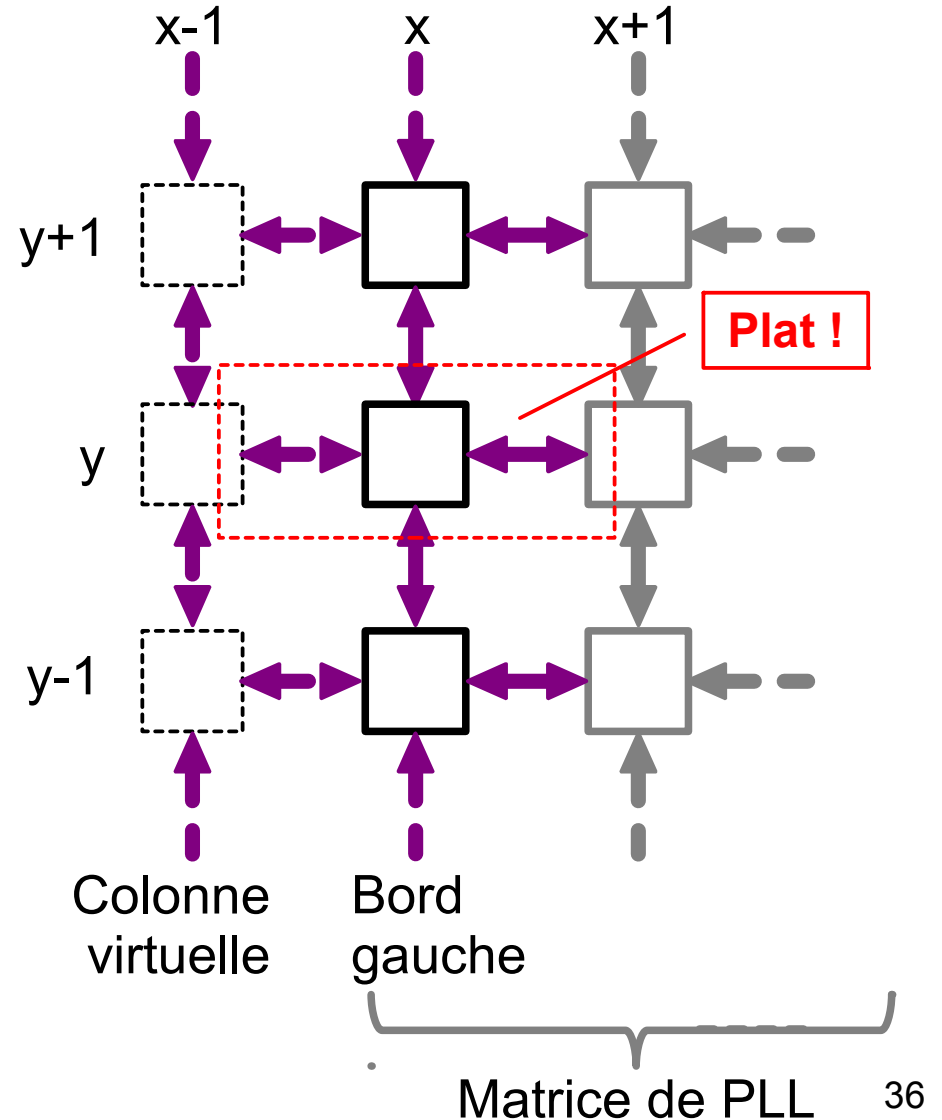
Condition de continuité sur le bord

- En première approximation, la surface entre $\varphi_{x-1,y}$ et $\varphi_{x+1,y}$ est supposée plate, d'où :

$$(\varphi_{x-1,y} - \varphi_{x,y}) \simeq (\varphi_{x,y} - \varphi_{x+1,y})$$

et :

$$\frac{\partial^2 \Phi}{\partial x^2} \simeq 0$$



Brise-vagues d'erreurs de phase

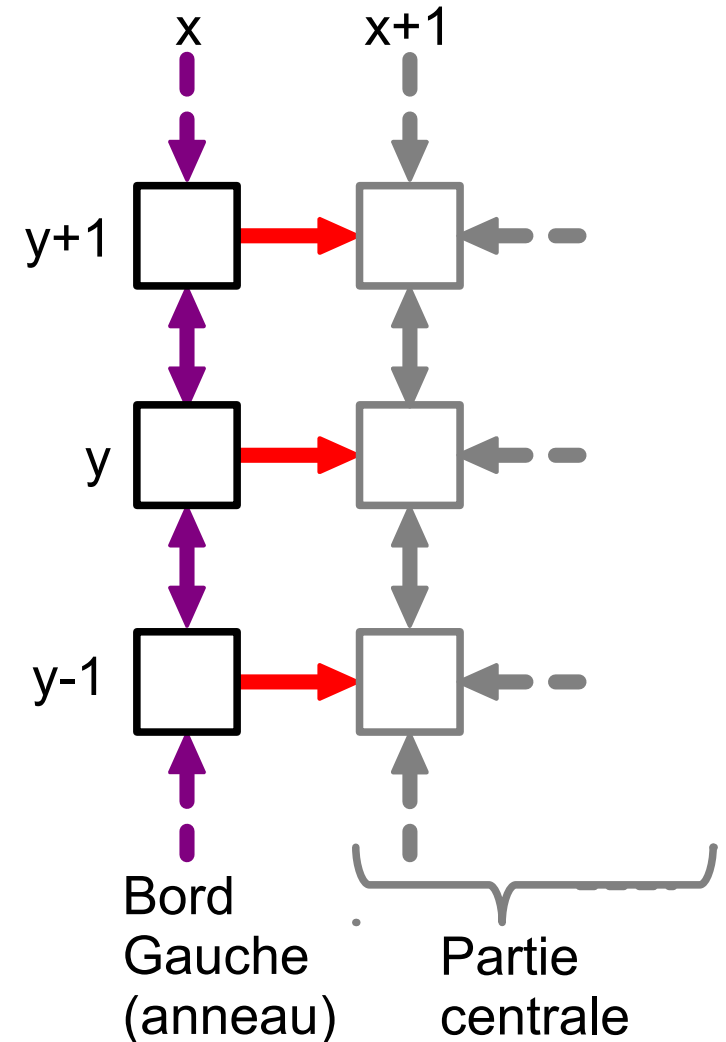
- Comme $\varphi_{x-1,y}$ n'existe pas, il suffit de **supprimer la liaison** :

$$\langle x,y \rangle \Leftrightarrow \langle x+1,y \rangle$$

pour remplir la condition, d'où :

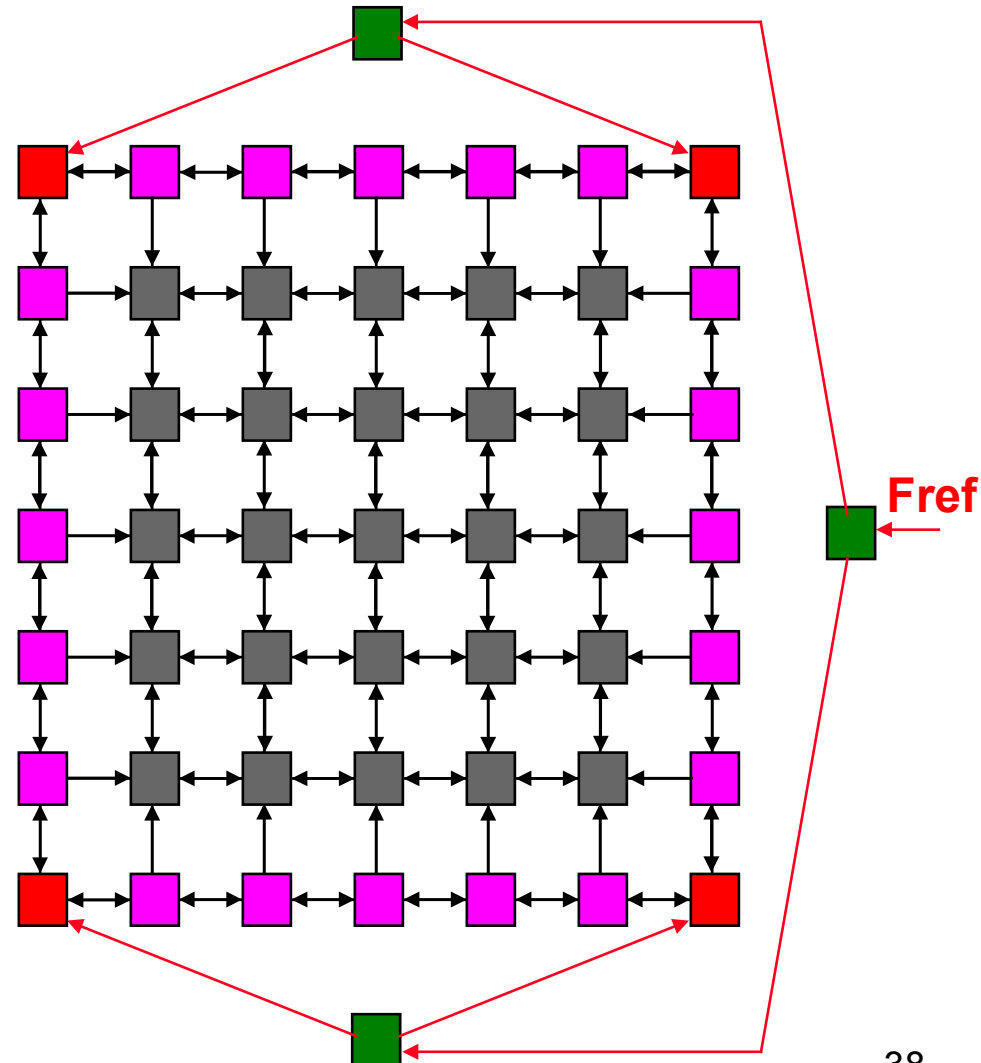
$$\Delta \Phi_{x,y} = \frac{\partial^2 \Phi}{\partial y^2}$$

- Ce qui revient à **isoler le bord** de la matrice de PLL qui devient un **anneau** brise-vague.



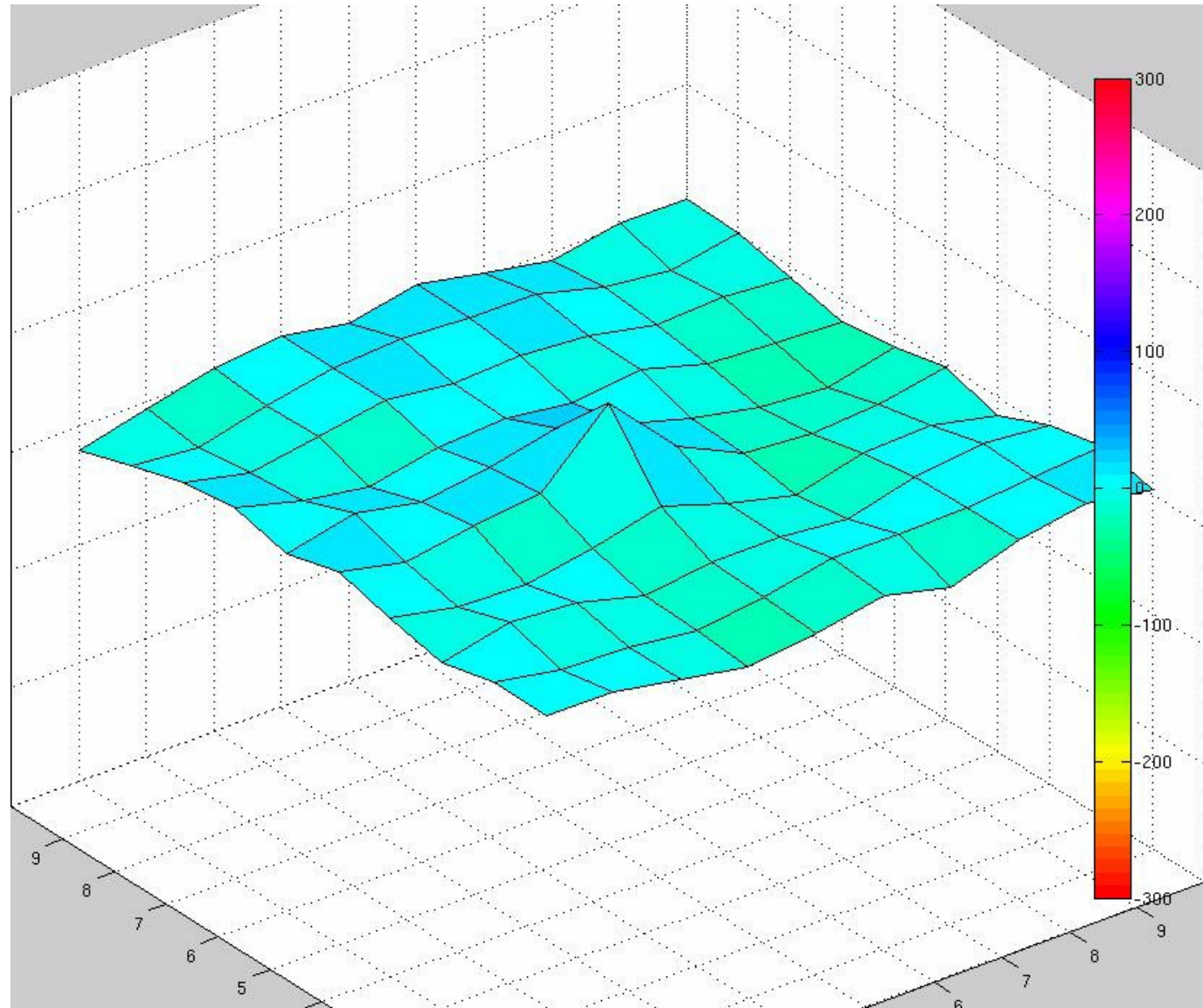
Anneau d'excitation

- ❑ La suppression des liaisons pour créer le brise-vagues crée un **anneau d'excitation** des PLL centraux.
- ❑ Cette configuration présente plusieurs avantages :
 - ✓ **Élimination des réflexions** des vagues d'erreur
 - ✓ **Meilleure distribution** de l'horloge de référence autour du réseau (effet piston)
 - ✓ **Tous les PLL** servent de générateurs d'horloge



Simulation du réseau 10 x 10

La propagation des erreurs de phase est comparable à celle des anneaux de vagues dans une piscine.....



Modes parasites d'accrochage

(Mode-locks)

Retour spontané à la planéité

□ Un mode-lock suppose l'existence de **déséquilibres** se compensant mutuellement

□ Un mode-lock correspond à une **solution statique** du système d'équation du réseau de PLL, c-a-d à une solution d'une **équation de champ**.

$$\frac{\partial^2 \Phi}{\partial t^2} + \frac{M(K_p - K_v \tau)}{1 - MK_p \tau} \cdot \frac{\partial \Phi}{\partial t} - \frac{MK_i}{4(1 - MK_p \tau)} \cdot \Delta \Phi = 0$$

D'où : $\Delta \Phi = 0$

Retour spontané à la planéité

$$\Delta \Phi = 0$$

- Sans source de potentiel, une telle équations de champ **statique** n'admet que la solution **identiquement nulle**.

Extensions de l'étude

Transposition à d'autres domaines

□ Le même raisonnement s'applique à d'autres domaines (macroscopiques)

- ✓ Mise à l'heure de réseaux d'horloges fixes
 - Horloges atomiques (radio-émettrices)
 - Réseaux de répéteurs GSM
 - Réseaux de centres de calcul
 -

Augmentation du risque de métastabilité dans les SOCs

- ❑ Les zones isochrones des SOCs reçoivent des horloges **non indépendantes** (phases non aléatoires) issues d'une seule horloge distribuée sans précaution... (mésosynchronisme)
- ❑ Causes d'évolution des phases des horloges distribuées dans un SOC :
 - ✓ évolution **lente** : vieillissement, température
 - ✓ évolution **rapide** : tension d'alimentation, parasites
- ❑ Si les conditions d'occurrence de la métastabilité sont réunies, alors la probabilité d'une **nouvelle occurrence** devient **beaucoup plus importante** car les paramètres lents n'auront pas évolué....

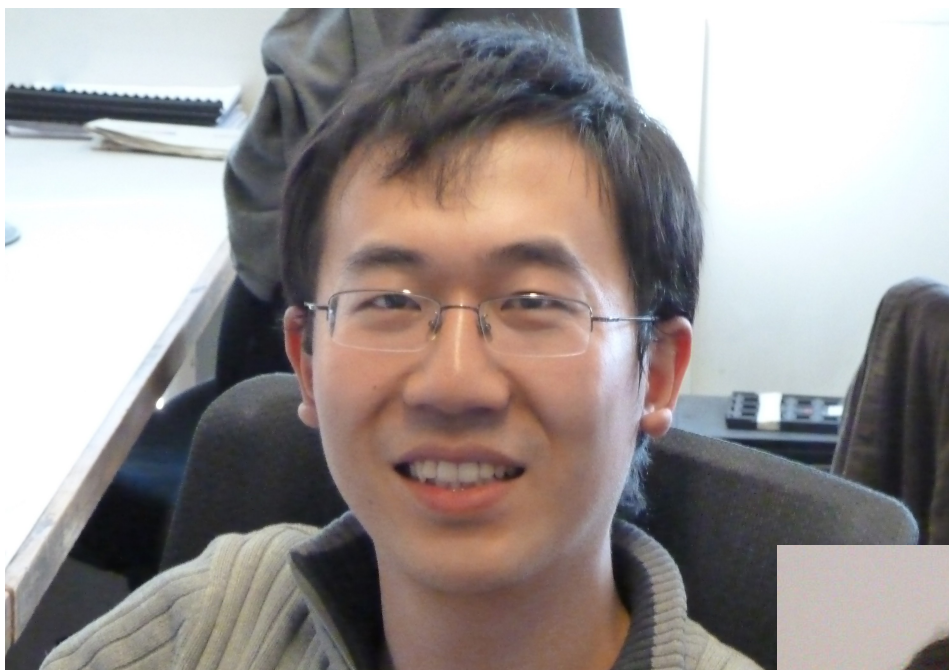
Vers la haute sûreté de fonctionnement

- ❑ **Les communications synchrones éliminent tous les risques de métastabilité**
- ❑ **Le respect de la condition de synchronisme assure un bon fonctionnement synchrone.**
 - ✓ Un mécanisme de vérification dynamique de la condition de synchronisme est en étude...

□ **Groupe HODISS-HERODOTOS
(UPMC/Lip6/SOC/CIAN)**

- ✓ **Dimitri Galayo**
- ✓ **Chuan Shan**
- ✓ **Eldar Zianbetov**
- ✓ **Mohammad Javidan**

**Sans eux ces résultats
n'auraient jamais pu
exister**



Chuan

Dimitri



Eldar