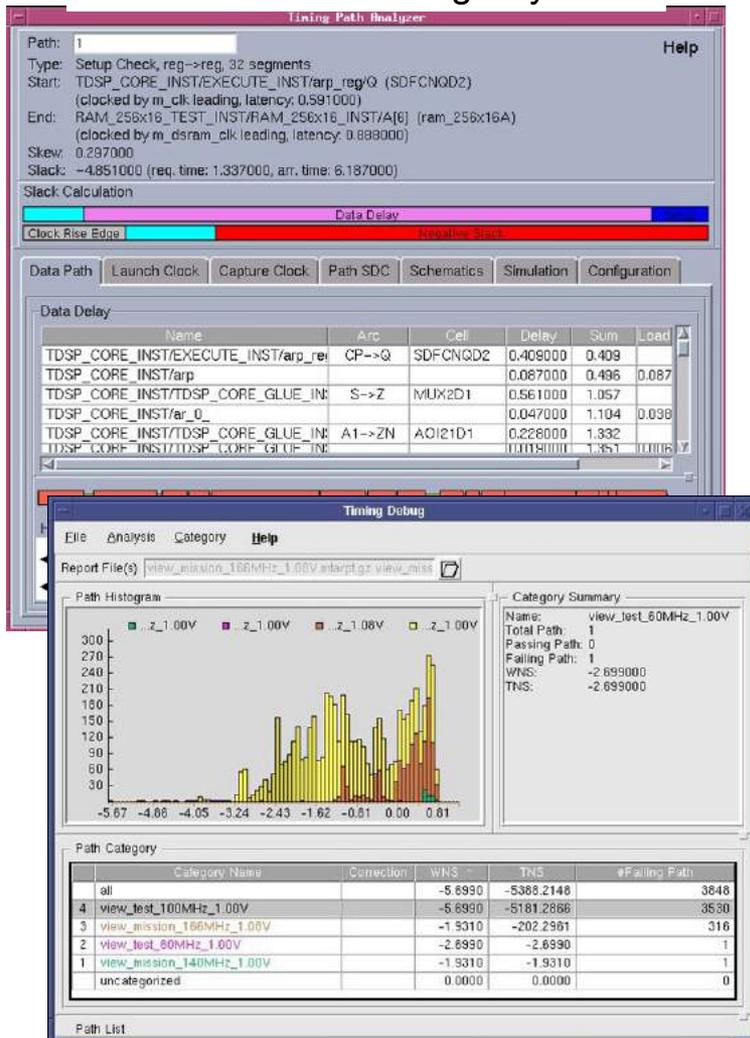
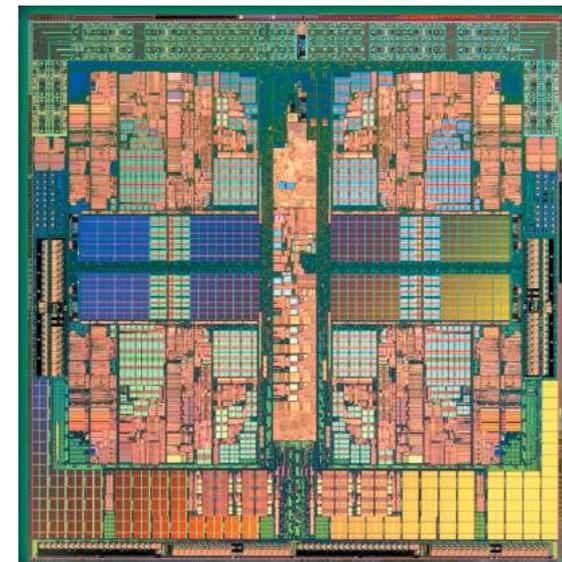


La course à l'infiniment petit et ses challenges technologiques

Source Cadence Design Systems



Source Intel



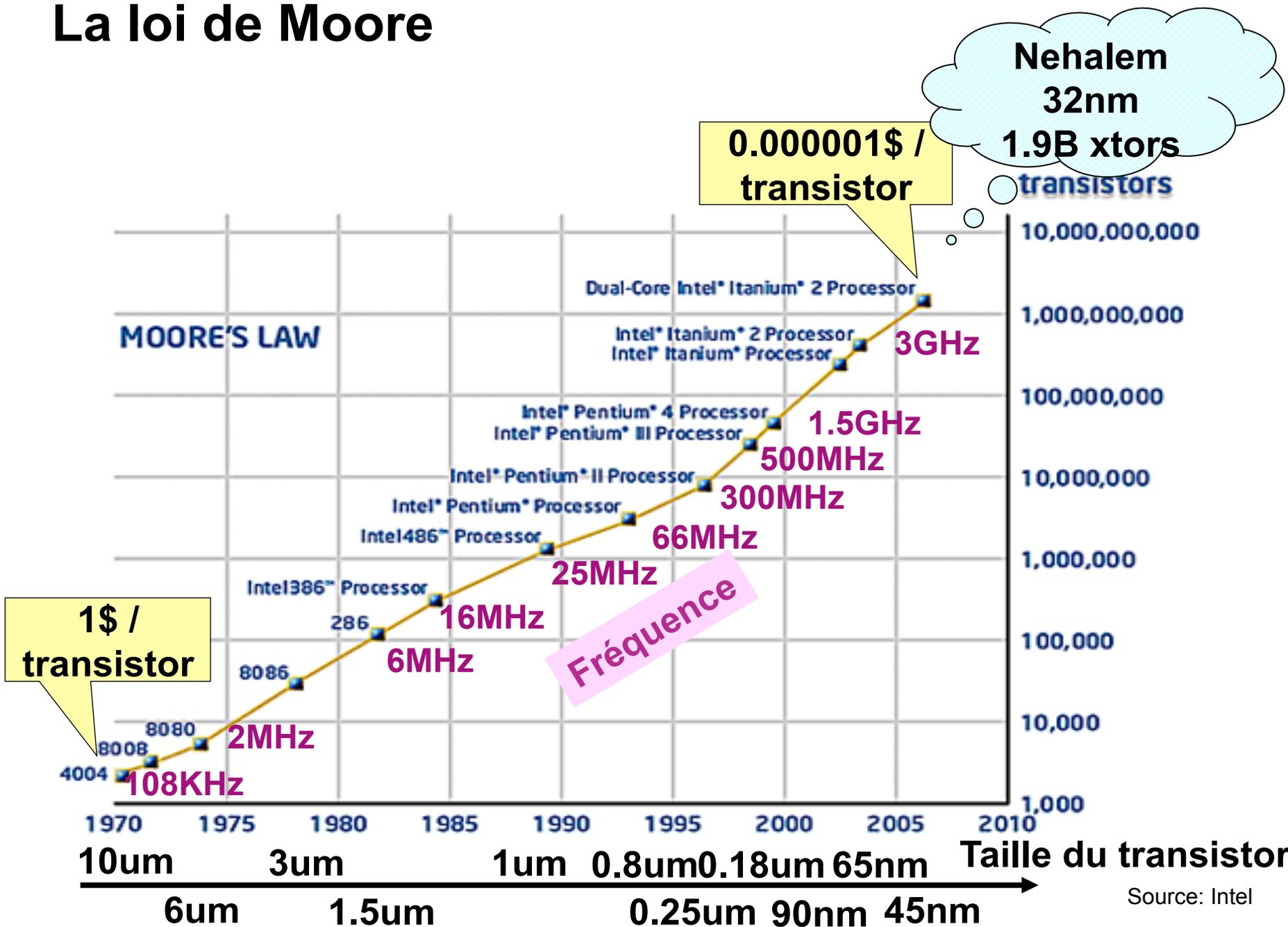
Source AMD



Un peu d'histoire

- 1960: Le premier circuit intégré fabriqué aux Bell Labs contient **quelques transistors**
- La complexité de mise en œuvre est telle que les ingénieurs pensent alors qu'on ne pourra jamais dépasser **une vingtaine de transistors par circuit**
- 1965: **Gordon Moore** (un des fondateurs d'Intel) énonce la loi qui porte son nom: **le nombre de transistors par circuit doublera tous les 18 mois**
- 40 ans plus tard, sa loi est toujours vraie. Les techniques de fabrication ont du s'adapter à cette loi **exponentielle**

La loi de Moore

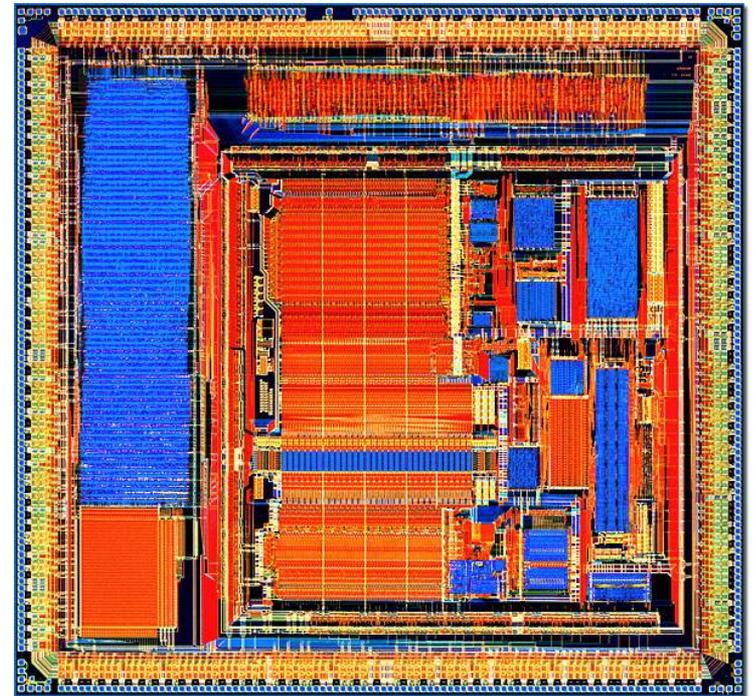


La loi de Moore: Pourquoi toujours plus?

Ordinateurs, jeux, appareils photos,
caméscopes, téléphones, gps
sont:

- + Plus performants
- + Plus petits, légers, portables
- + Plus économes en énergie (batteries)
- + Meilleur marché (euros)
- + ...

- Plus complexes à concevoir
- Plus complexes à fabriquer

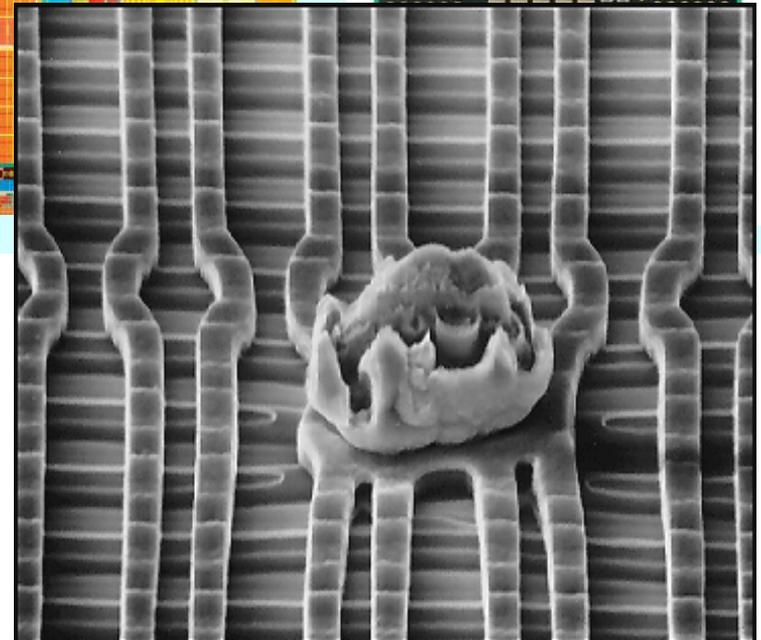
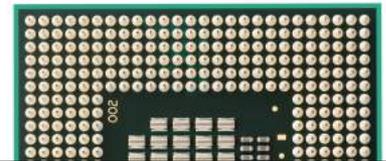
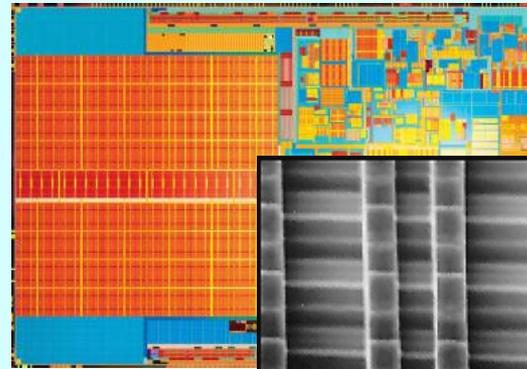
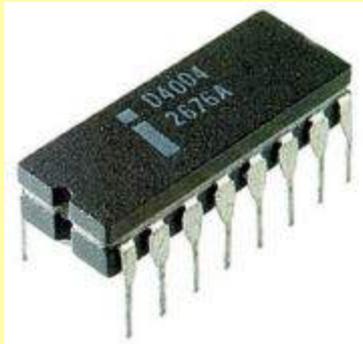
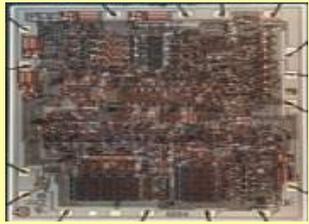


Source FUJITSU

Comparaison de 2 microprocesseurs INTEL

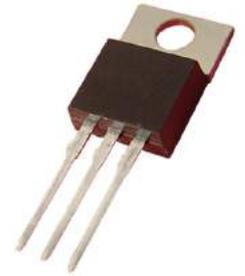
	Date	Horloge (kHz)	Alim(v)	Taille transistor (nm)	Nombre transistors	Boitier (pattes)
4004	1971	108	15	10 000	2 300	16
PENRYN	2007	3 000 000	0.8	45	820 000 000	603

1 m = 1 000 mm = 1 000 000 μ m = 1 000 000 000 nm

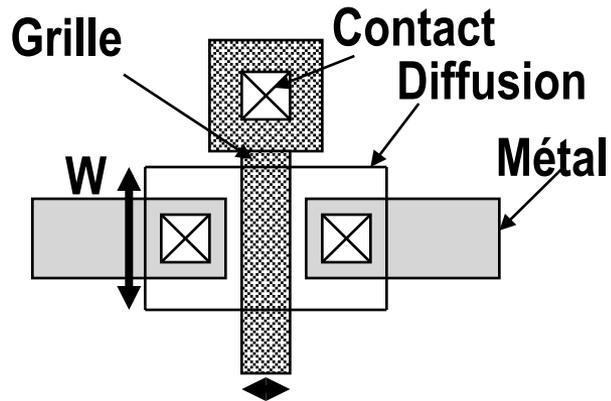


- ✓ 1 cheveu = 90 000 nm = 2 000 transistors
- ✓ 1 bactérie = 2 000 nm = 44 transistors
- ✓ 1 rhinovirus = 20 nm = $\frac{1}{2}$ transistor
- ✓ 1 atome de silicium = 0.24 nm

A l'intérieur du circuit: le transistor MOS

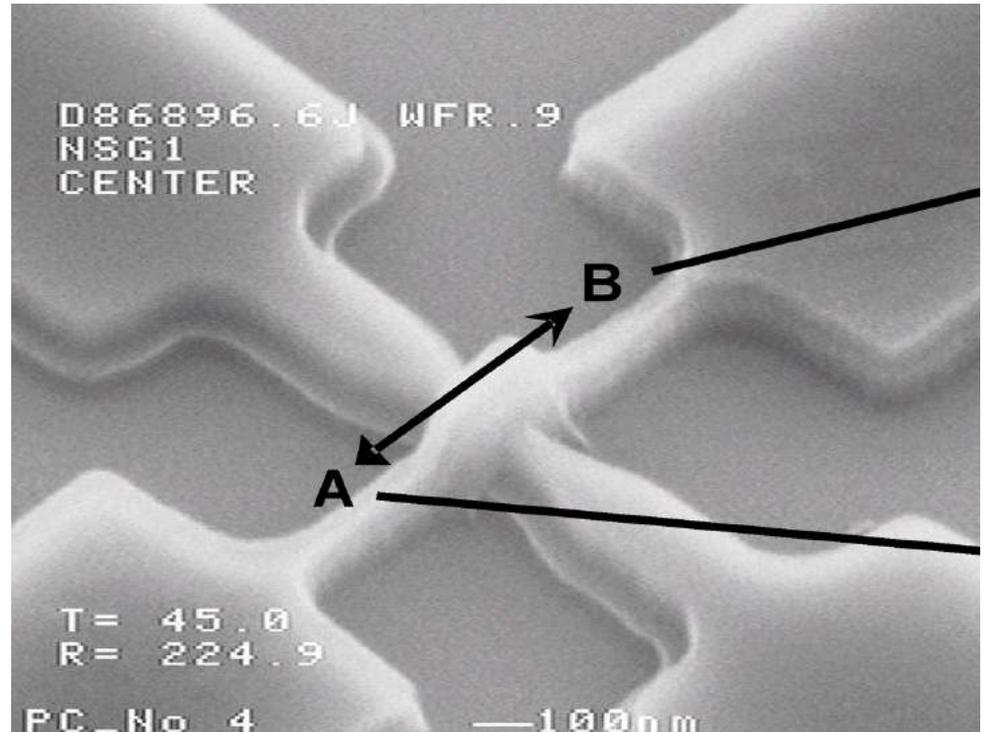


Dessin physique



**Vitesse du transistor
inversement proportionnelle
à sa longueur**

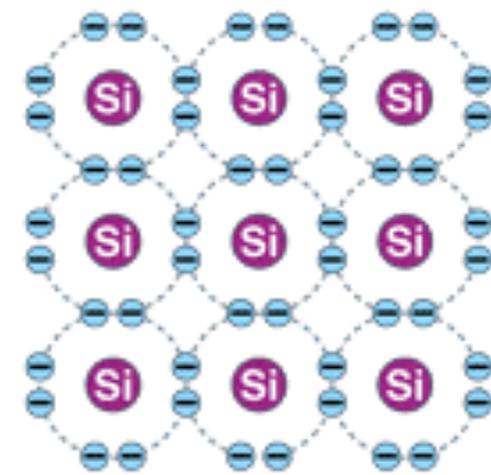
Photo MEB Source Freescale



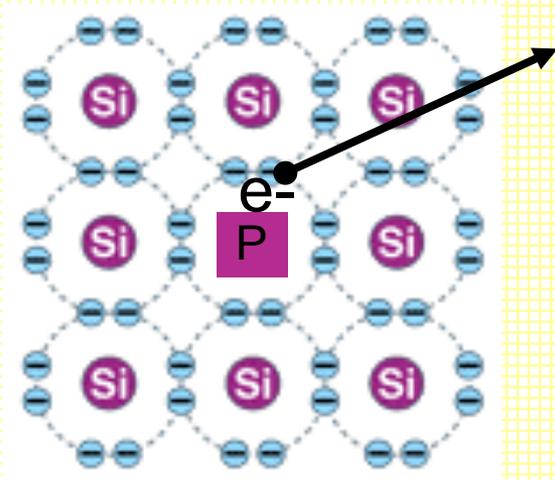
**Epaisseur d'oxyde de grille = 1.2nm
(4 couches atomiques)**

Silicium = semi-conducteur

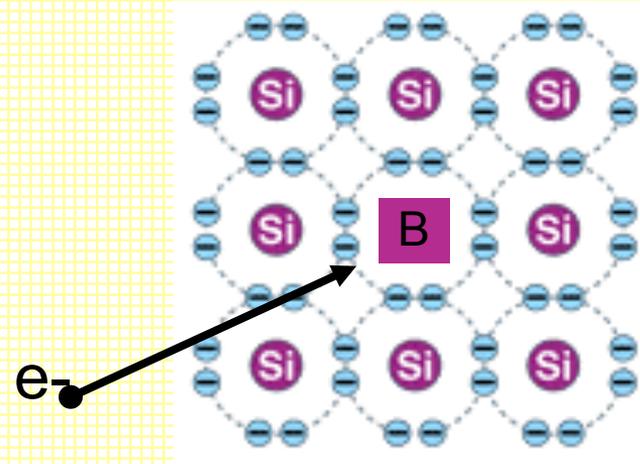
- Le silicium est un métalloïde abondant dans la nature (sable).
- Si, 14, groupe IV
- Semi-conducteur: ni isolant, ni conducteur
- Caractéristiques modifiables par dopage



N : Phosphore / Si + 1e



P : Bore / Si - 1e



Wafer = Sable (méthode Czochralski)

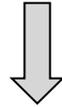
Purification ↓

Silicium poly-cristallin



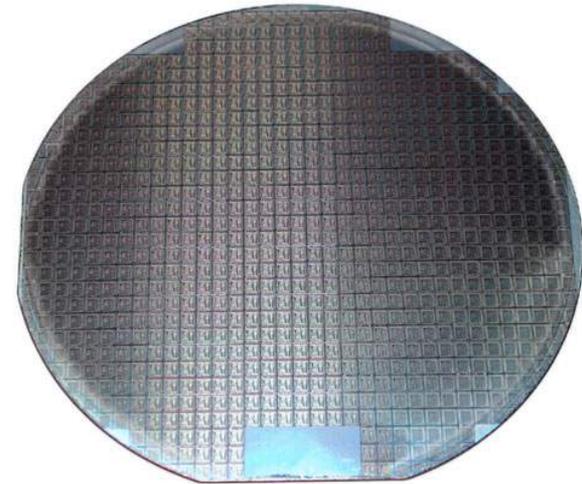
*Injection germe
Cristallisation* ↓

Barreau de silicium monocristallin



Découpe, Polissage

Wafers



Le **diamètre** du wafer augmente

1970 : 3" → 8" → 12" → 16" : 2010

Pourquoi?

- Plus de circuits par wafer
- Coûts de production

Etapes de base (1)



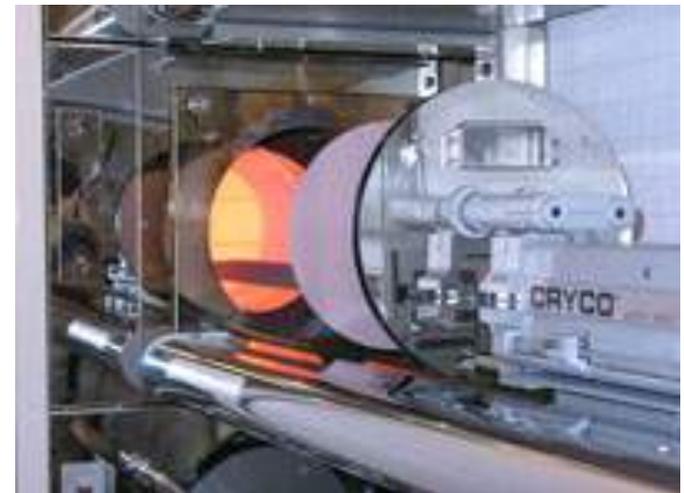
Implantation ionique - Source AMAT



Fours de diffusion



Déposition - Source AMAT

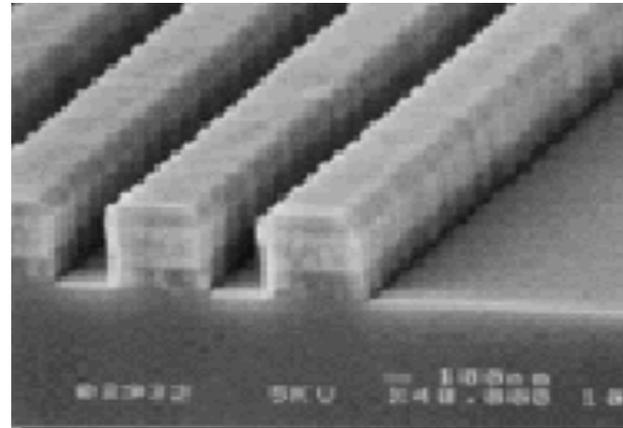
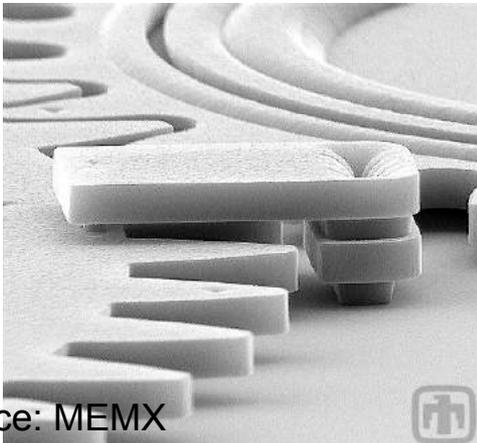
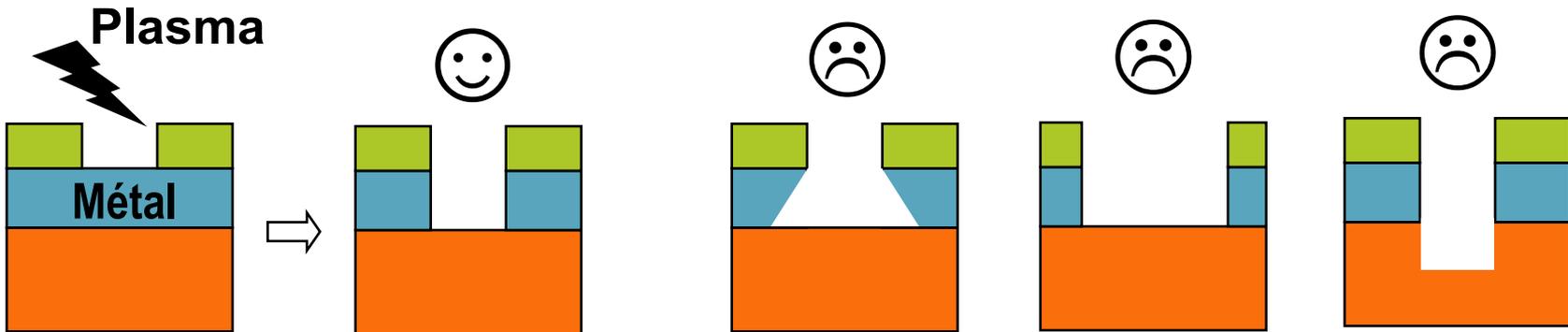


Oxydation - Source Cornell University

Etapes de base (2): Gravure

Attaque d'une couche physique (ex: métal)

- Plasma= 4ème état de la matière, gaz ionisé
- Action chimique ET mécanique (bombardement)
- Composition gazeuse - Pressions
- Compromis Isotropie - Sélectivité - Fin d'attaque



Etape critique: lithographie (photo)

Réticule

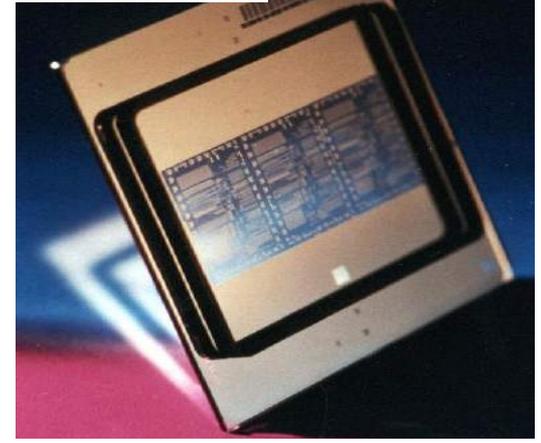
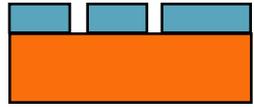
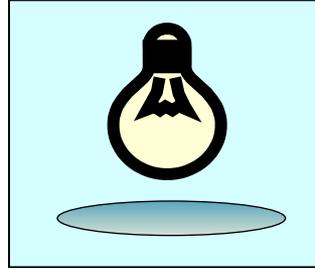
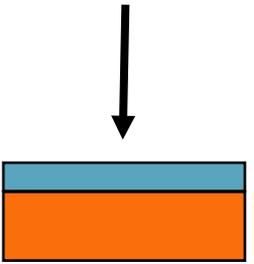


Photo répéteur

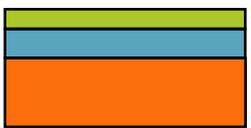


Evaporation

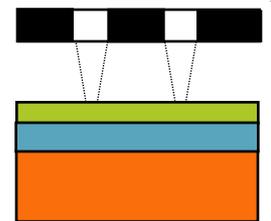


Dépôt de la couche à graver (ex: métal)

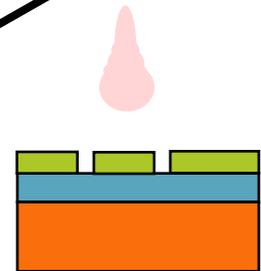
Résine



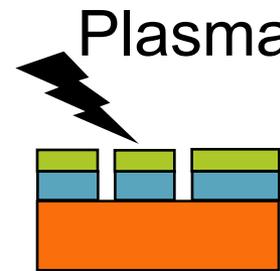
Dépôt d'un film de résine photo-sensible



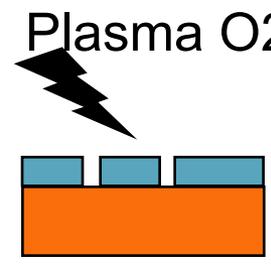
Transfert de l'image du réticule sur la résine



Développement et cuisson de la résine



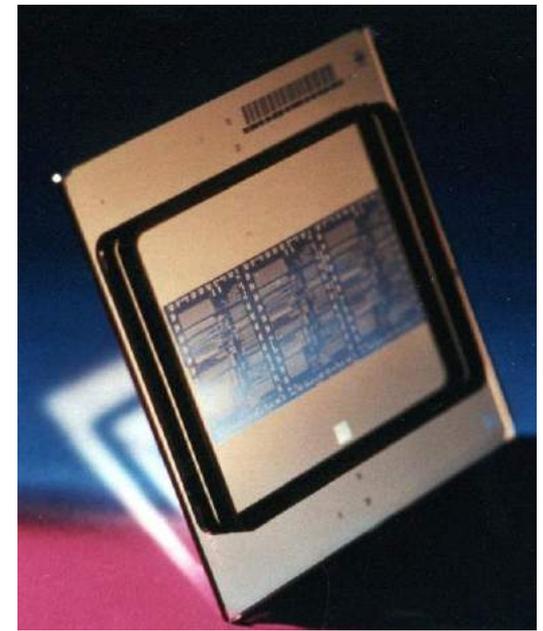
Gravure de la couche métallique



Nettoyage résine, inspection

Lithographie

- Réticule = plaque de quartz recouverte de chrome
- Transfert de l'image
- De 15 à 35 étapes lithographiques
- Environnement de fabrication (salle blanche)



Source Photronics

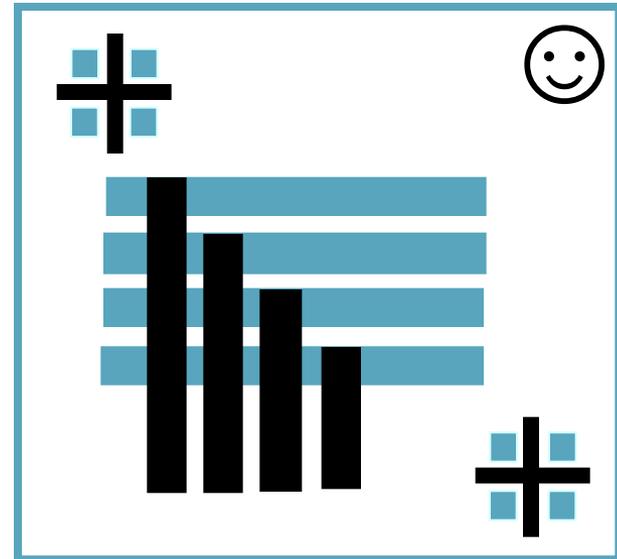
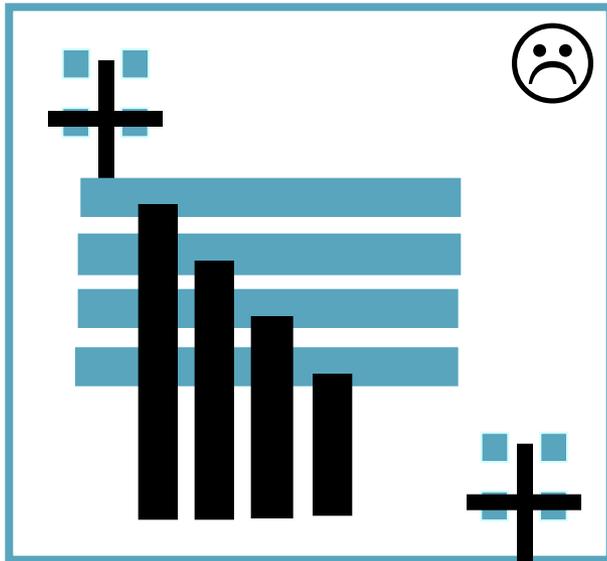
- Equipement le plus couteux (>10Meuros)

- Coût réticules = $N \times f$ (technologie)



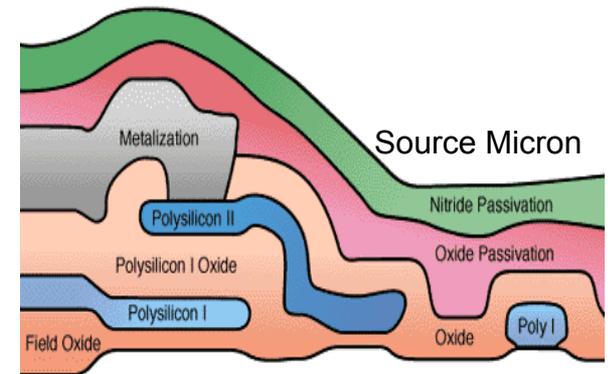
Source ASML

Viser juste



Intégration

- Empilement de couches successives
- De 15 à 35 étapes lithographiques
- Processus de fabrication **itératif**



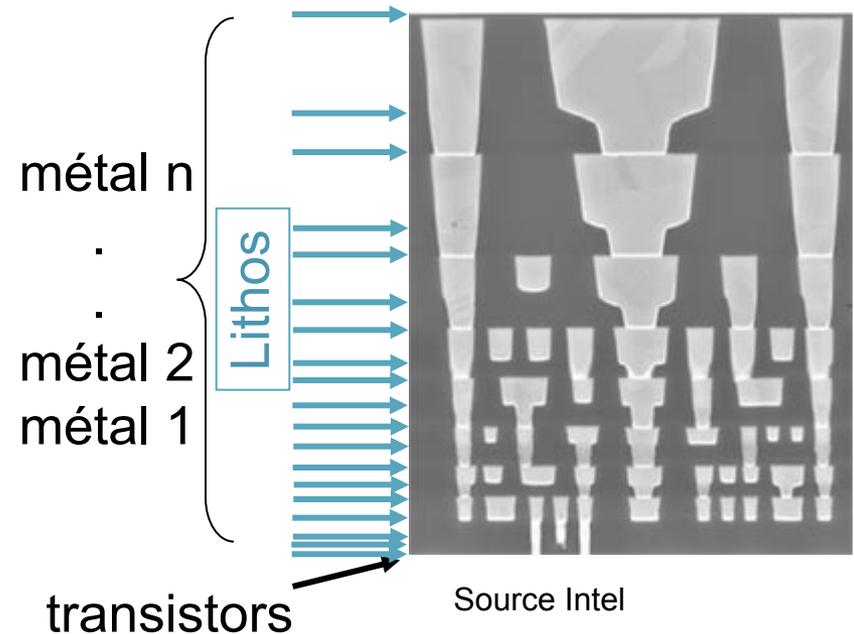
Coupe cmos – 1 métal – non planarise

Le cycle complet de fabrication dure de 8 à 12 semaines

Simulation 3-D



Coupe cmos – 9 couches métal – planarisation

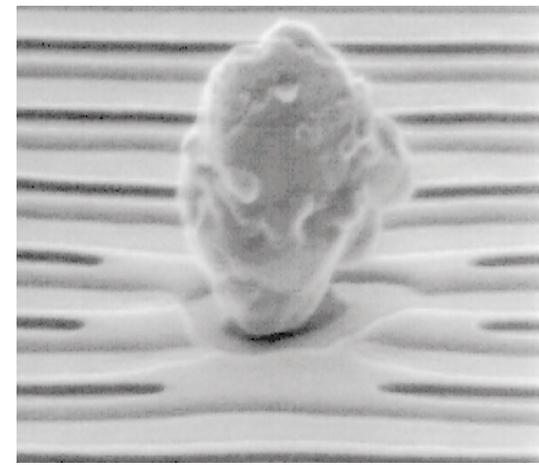


Rendement de fabrication

Rendement de fabrication:

$$\frac{1}{(1 + A \times D)^N}$$

- A = superficie du circuit
- D = nombre de défauts par pouce carré
- N = niveaux lithographiques



Source Intel

- **Diminuer A** (conception)

- Compacter
- Rétrécir

- **Diminuer D** (fabrication)

- Classe 1 (1 particule > 0.35um/pied³)
- SMIF, Robotisation
- Environnement



Les étapes finales (back end)

Tests des wafers



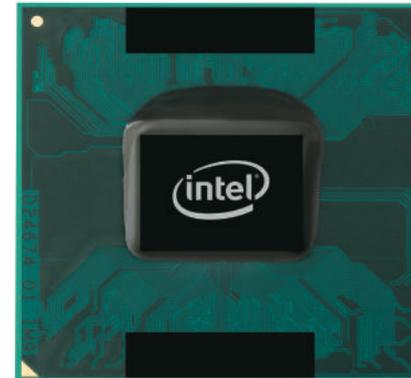
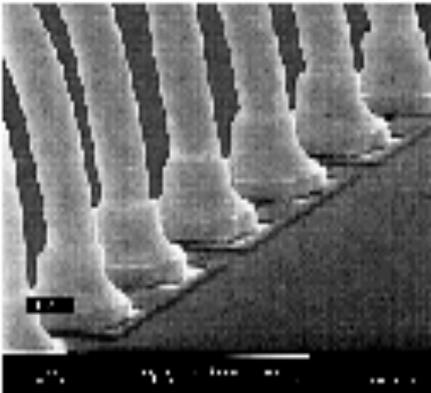
Source Electroglass

Découpe des wafers



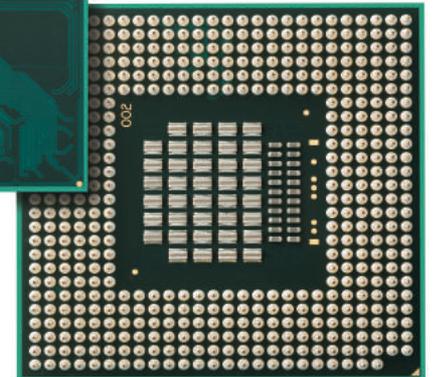
Source Synova

Assemblage des puces fonctionnelles



Source Intel

Test final – Fiabilité



Loi de Moore et évolution technologie

- Lithographie
- Gravure
- Epaisseur d'oxyde de grille – Fuites
- Métallisation
- Logiciels d'aide à la conception (EDA=Electronic Design Automation)
- Globalisation – Externalisation fabrication

Lithographie: lois de Raleigh

Résolution minimum:

$$\frac{k1 \times \lambda}{NA}$$

Profondeur de champ:

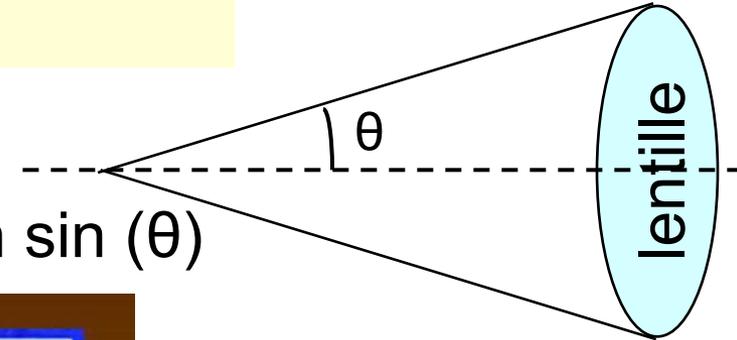
$$\frac{k2 \times \lambda}{NA^2}$$

$k1, k2$ constantes machines

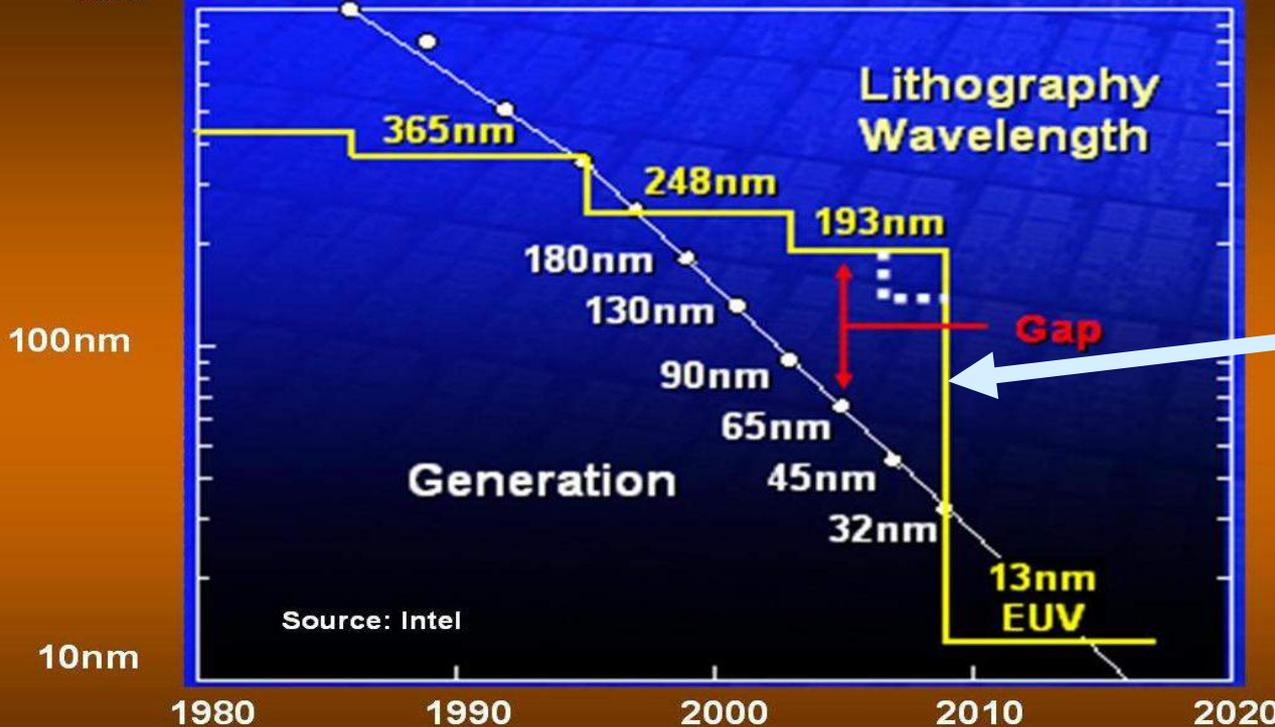
λ longueur d'onde

NA ouverture numérique de la lentille

$$NA = n \sin(\theta)$$



1 μ m



Retard de $\lambda=157\text{nm}$

Remplacée par $\lambda=193\text{nm}$ immergée

Evolution de la lithographie

- Autres méthodes pour améliorer la résolution

$$NA = n \sin(\theta)$$

- ✓ Augmenter $\theta \rightarrow$ diamètre de la lentille
- ✓ Augmenter n : air($n=1$) \rightarrow eau($n=1.33$)

- S'affranchir de la profondeur de champ

- ✓ Raboter après métallisation

- Logiciels RET=Reticle Enhancement Technique)

- ✓ OPC (Optical Proximity Correction)
- ✓ PSM (Phase Shift Mask)
- ✓ Double exposition

- Autres méthodes lithographiques envisagées:

- ✓ Rayons X, EUV, Faisceaux e-



Source: ASML

Correction d'images

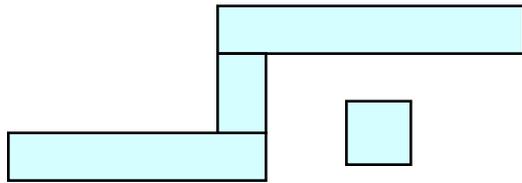


Source DxO Labs



Effets non linéaires

Image théorique souhaitée



Traitement des données par un logiciel OPC

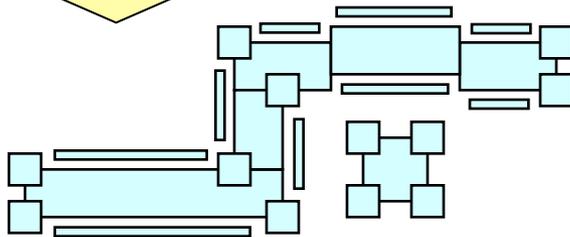
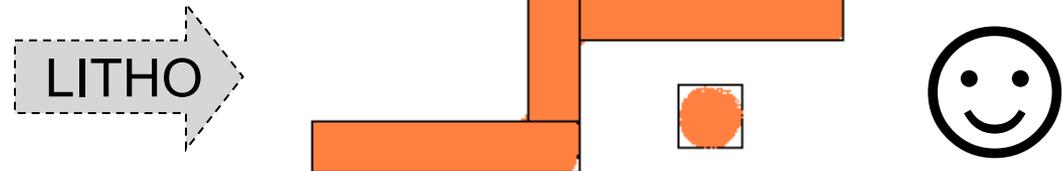
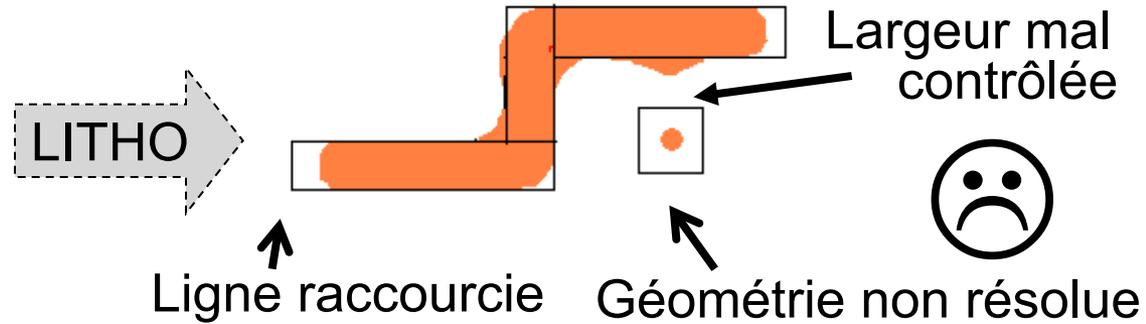
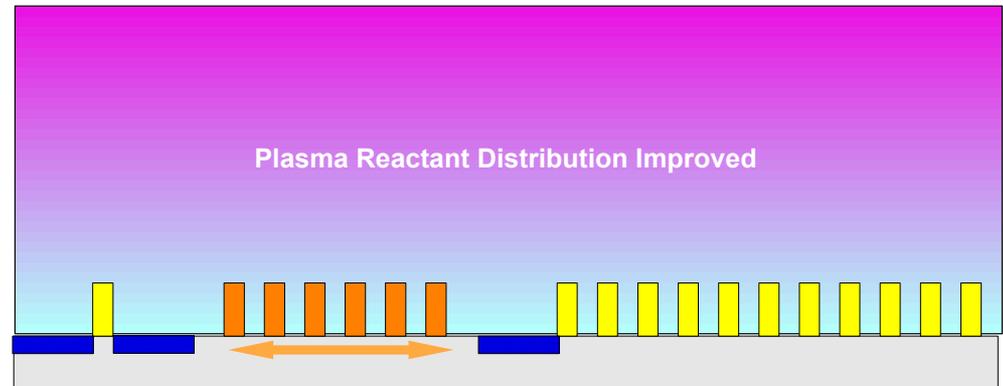
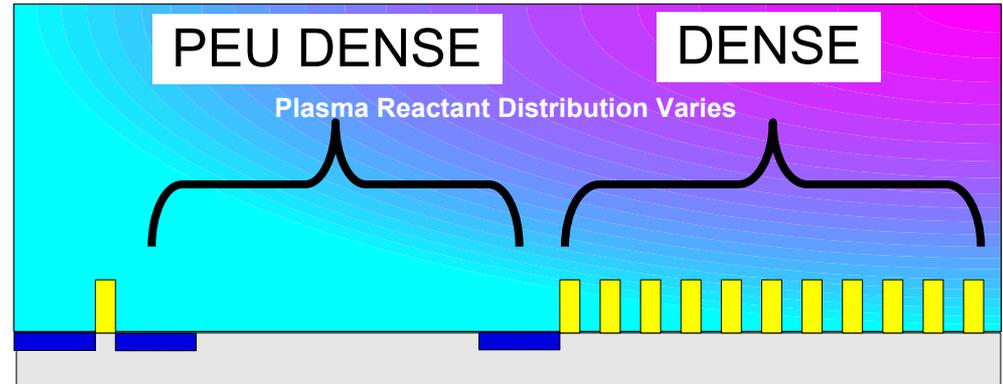
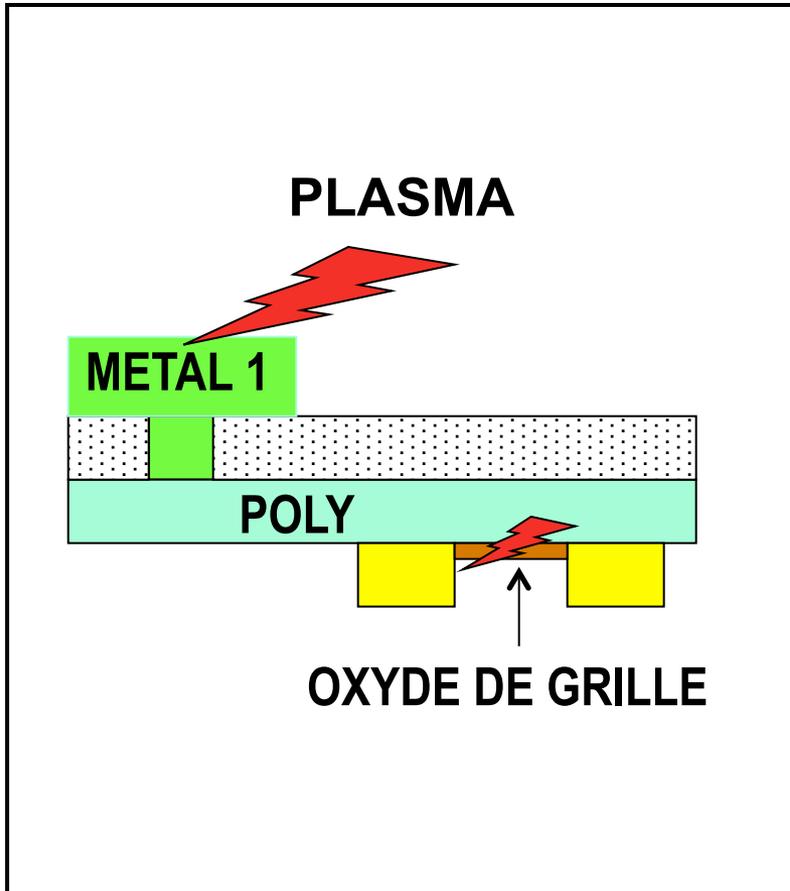


Image réellement obtenue



Antennes

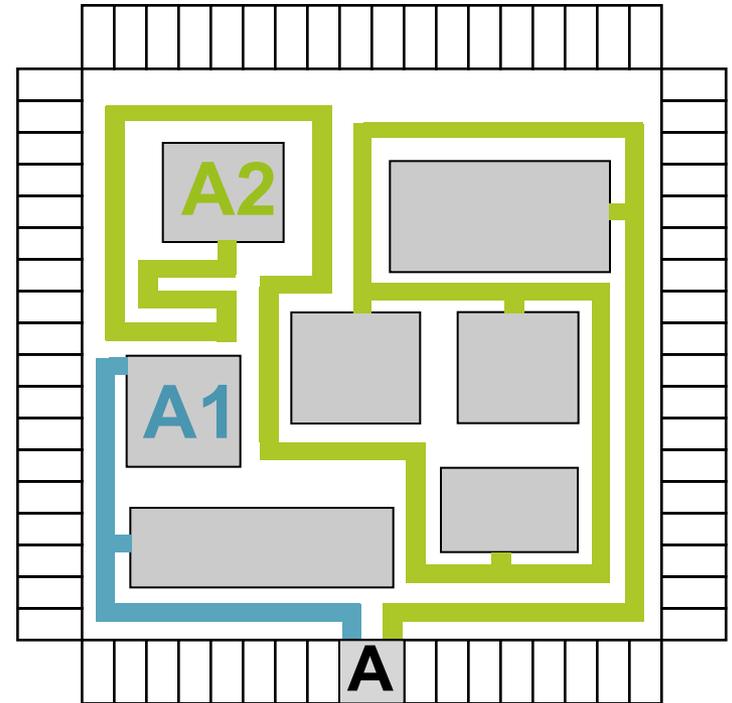
Homogénéité



Lignes de métal ajoutées par logiciel pour rendre le plasma homogène

Métallisation

- Délais dans connexions
- Impact sur les logiciels:
 - ✓ Estimer délais
 - ✓ Changer Placement et Routage
 - ✓ Redimensionner transistors
 - ✓ ...



**Circuit
synchrone.**

Logiciels d'aide a la conception (EDA)

- Simulation
- Placement
- Routage
- Extraction R, C, L = f (lithographie, gravure...)
- Estimation des délais
- Identification des chemins critiques (horloges, alimentations)
- Balance des horloges
- Redimensionnement des transistors
- Vérifications géométriques
- Comparaison schéma - réticules
- Correction géométries (OPC)
- Electro migration
- Identification agresseurs/victimes dans les bus
- Simulations thermiques
- Amélioration de la testabilité

L'ingénieur est plus spécialisé

Externalisation – Consolidation fabrication

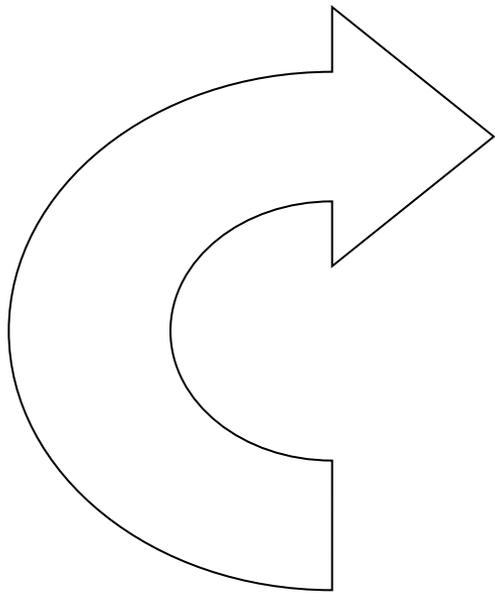
- Coûts d'une unité de fabrication ~ **2B euros**
- Externalisation (IDM, Fables, Fonderies)

INTEL	31 580	USA
SAMSUNG	19 415	S-KOREA
TI	13 870	USA
TOSHIBA	10 030	JAPAN
ST	9 930	EUROPE
TSMC	9 715	TAIWAN
RENESAS	8 170	JAPAN
HYNIX	7 375	S-KOREA
NXP	6 365	EUROPE
FREESCALE	6 080	USA

10
premiers
producteurs
en 2006
(en M\$)

Conclusion

- Loi de Moore toujours vraie
- Obstacles techniques: physique + logiciel
- 65nm en production
- Bientôt 45nm, puis 32nm, 22nm, ...6nm (2020)
- Autres recherches: spintronic, nanotubes de carbone...



- Circuits + petits
+ denses
+ complexes
- Logiciels + élaborés
- Données + volumineuses
- Calculateurs + puissants